

Контроллер динамической памяти (КДП) K1810BT03 используется в качестве устройства управления ОЗУ микропроцессорных систем на базе МПК серий K580, K1810, K1821, а также для создания функционально независимых модулей динамических ОЗУ. Контроллер вырабатывает все необходимые сигналы управления чтением, записью и регенерацией для ОЗУ емкостью 4К, 16К, 64К и более, выполненного на элементах памяти серии K565.

Контроллер относится к классу многофункциональных схем и может работать в нескольких режимах, которые задаются подачей на специальные входы КДП напряжений высокого или низкого уровня. Таким образом, КДП задаются режимы работы с ОЗУ емкостью 4К, 16К или 64К слов. При использовании дополнительных схемных решений КДП может быть использован для ОЗУ большей емкости. Кроме того, контроллеру могут быть заданы режимы внутренней или внешней регенерации, опережающего чтения, работы с внешним или внутренним генератором. КДП предназначен для построения как функционально независимых модулей, так и модулей, выполненных в стандарте Multibus.

Назначение выводов КДП (рис. 5.35).

AL6—AL0 — адресные входы младшего байта ячеек ОЗУ.

АН6—АН0 — адресные входы старшего байта ячеек ОЗУ.

V0/AL7, V1/OP1/АН7 — входы выбора банка, выполняющие различные функции в зависимости от выбранного режима. Для режима 16К выходы V0, V1 выполняют функцию выбора банка и участвуют в формировании сигналов на одном из выходов RAS0, RAS1, RAS2, RAS3. Для режима 64К эти входы являются соответствующими адресными линиями AL7, АН7.

PCS — защищенный выбор кристалла. Сигнал низкого уровня на этом входе инициализирует выполнение функций чтения/записи в ЗУ, причем если сигнал сформирован, то цикл памяти аннулировать нельзя.

WR — входной сигнал, указывающий КДП на то, что ЦП выполняет функции записи данных в ЗУ. Участвует в формировании сигнала \overline{WE} .

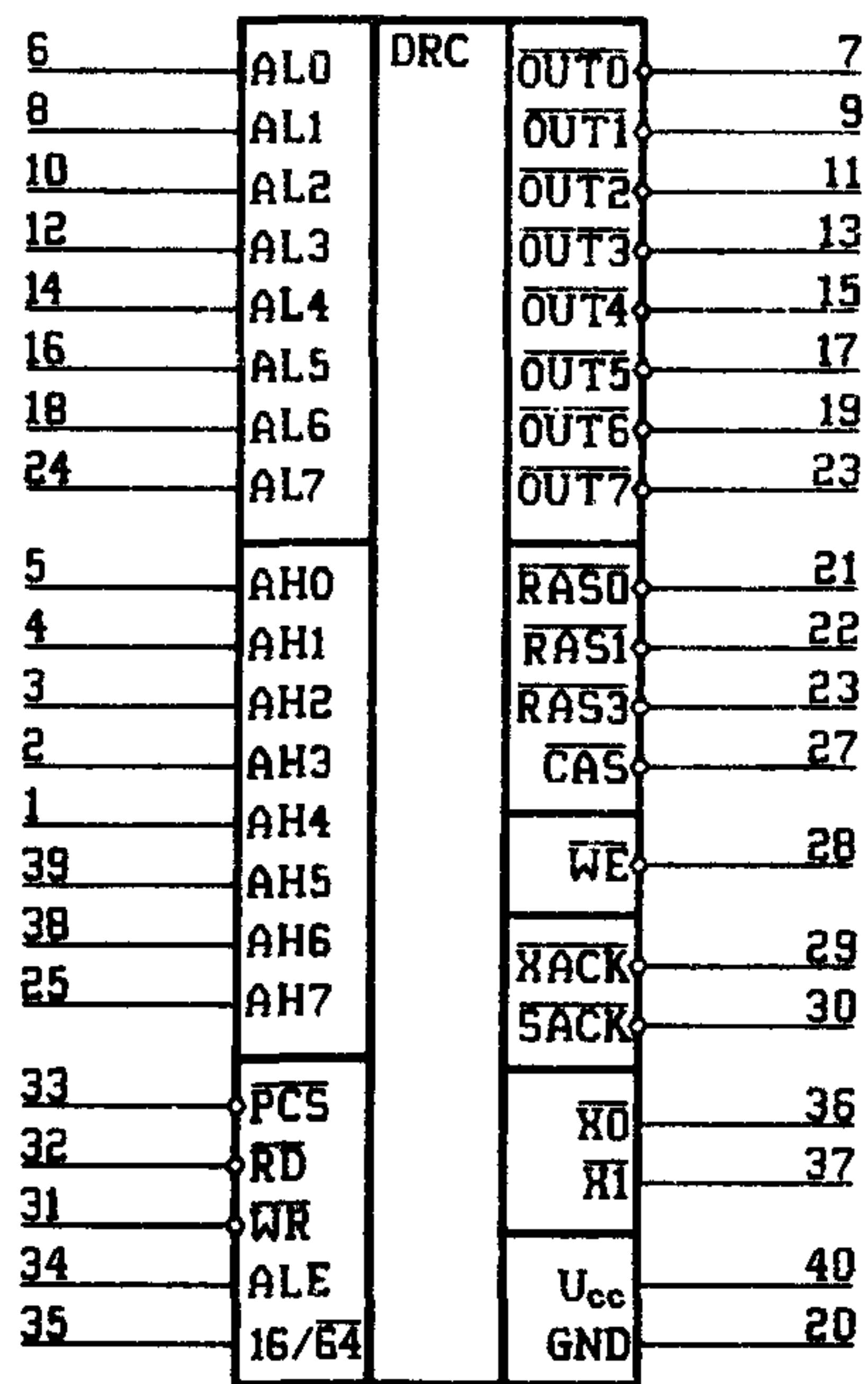


Рис. 5.35. Условное графическое обозначение КДП BT03

$\overline{\text{RD/S1}}$ — входной сигнал, указывающий КДП на то, что ЦП выполняет функцию чтения данных из ЗУ. Сигнал S1 используется в режиме опережающего чтения совместно с сигналом ALE.

$\overline{\text{REFRQ/ALE}}$ — запрос регенерации. Для режима опережающего чтения этот вход (ALE) используется для инициализации цикла чтения и подключается к выходу ALE центрального процессора.

$\overline{\text{OUT6—OUT0}}$ — выходные сигналы адресов строк и столбцов ЗУ. Вырабатываются в правильной последовательности (сначала младший, затем старший байты) в сопровождении сигналов $\overline{\text{RAS}}$ и $\overline{\text{CAS}}$. В режиме регенерации на этих входах формируются адреса регенерируемых строк.

$\overline{\text{WE}}$ — инициализация записи, выходной сигнал (строб), используемый для выполнения функции записи данных в ЗУ.

$\overline{\text{CAS}}$ — строб адреса столбца. Выходной сигнал, вырабатываемый после формирования на выходах $\overline{\text{OUT6—OUT0}}$ старшего байта ЗУ, с помощью которого осуществляется запись (защелкивание) на внутренних регистрах ИС ЗУ старшего байта адреса.

$\overline{\text{RAS0, RAS1, RAS2/OUT7, RAS3/B0}}$ — стробы адреса строки. Выходные сигналы, выполняющие различные функции в зависимости от выбранного режима. В режиме 16К все четыре сигнала являются стробами младшего байта адреса ЗУ для различных банков и выполняют аналогичную функцию как и сигнал $\overline{\text{CAS}}$. Низкий уровень сигнала на одном из выходов ($\overline{\text{RAS0—RAS3}}$) вырабатывается в зависимости от кода на входах B0, B1. В режиме 64К стробами адреса являются только линии $\overline{\text{RAS0, RAS1}}$. Выход $\overline{\text{OUT7}}$ является выходной линией старшего разряда адресов строк и столбцов, а выход B0 используется для выбора банка ЗУ. При B0=0 формируется строб банка 0 ($\overline{\text{RAS0}}$), при B0=1 — строб банка 1 ($\overline{\text{RAS1}}$).

$\overline{\text{XACK}}$ — готовность данных. Выходной сигнал, вырабатываемый КДП в конце цикла чтения/записи и сообщающий ЦП об окончании цикла взаимодействия.

$\overline{\text{SACK}}$ — готовность системы. Выходной сигнал, вырабатываемый КДП в начале цикла обращения к памяти. Если запрос к памяти от ЦП приходится на цикл регенерации, то $\overline{\text{SACK}}$ задерживается до начала цикла чтения/записи.

X0/OP2, X1/CLK — выходные линии для подключения внешнего кварцевого резонатора (рис. 5.37). Если вход X0/OP2 подключать к шине питания +5 В или через резистор сопротивлением 1 кОм к шине питания +12 В, то вход X1/CLK используется для подключения внешнего генератора.

16K/64K — вход выбора режима. Сигнал высокого уровня на этом входе задает режим работы КДП с ОЗУ емкостью 16К слов, а сигнал низкого уровня — режим работы с ОЗУ емкостью 64К.

U_{cc} — шина питания +5 В.

GND — общий.

Структурная схема КДП (рис. 5.36) включает два функциональных блока,

один из которых принимает адреса ячеек памяти от ЦП и формирует их в мультиплексированном режиме в правильной последовательности на выходах OUT. Кроме того, в цикле регенерации на этих выходах формируются адреса регенерируемых строк. Блок включает: два буфера BD для приема от ЦП 16-разрядного адреса ячейки ОЗУ; счетчик/регистр MAR адресов регенерации; мультиплексоры MUX1, MUX2, с помощью которых осуществляется выдача на выходы OUT7—OUT0 младших и старших адресов или адресов строк регенерации (содержимое MAR) в правильной последовательности в сопровождении стробов RAS3—RAS0 и CAS.

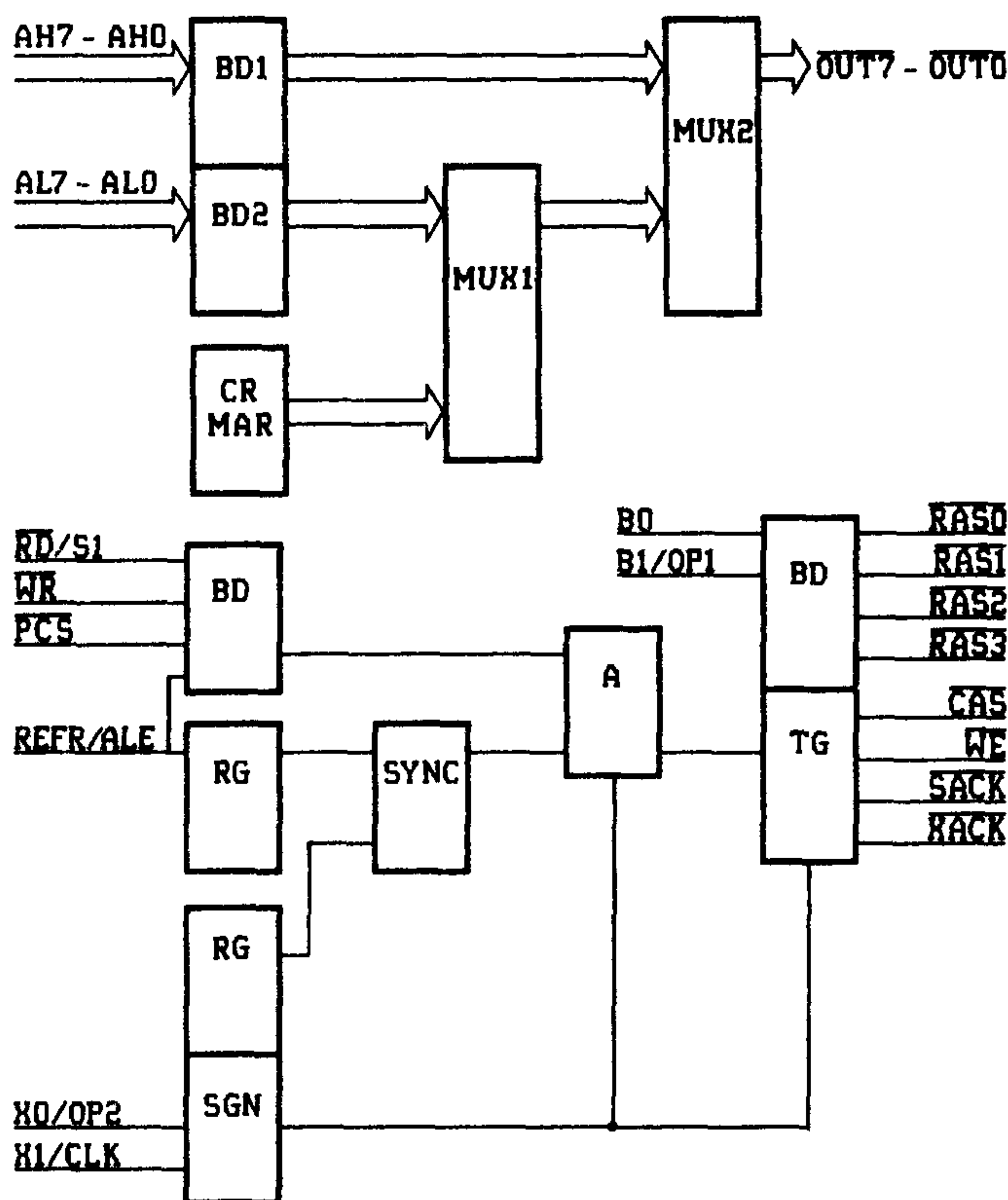


Рис. 5.36. Структура КДП ВТ03

Второй функциональный блок выполняет операции синхронизации, арбитража и формирования полного набора управляющих сигналов для динамического ОЗУ и включает:

буфер BD для приема сигналов адресации, записи/считывания от ЦП; триггер RG, обеспечивающий запоминание запроса на регенерацию от внешних источников;

счетчик/таймер RT, обеспечивающий необходимые запросы на регенерацию;

схему SYNC, обеспечивающую привязку входных сигналов к фронтам тактового генератора КДП;

арбитр А, разрешающий конфликты между запросами на регенерацию и к памяти;

генератор синхротактов SGW;

логическую схему LC, обеспечивающую формирование сигналов \overline{RAS} , \overline{CAS} , \overline{WE} управления элементами ОЗУ, а также квитирующих сигналов \overline{XACK} и \overline{SACK} .

Контроллер динамической памяти обеспечивает прием запросов на циклы памяти от ЦП, формирует адреса ячеек ОЗУ в нужной последовательности, вырабатывает все сигналы управления циклами записи, чтения и регенерации, а также квитирующие сигналы \overline{XACK} и \overline{SACK} , сообщающие ЦП о завершении циклов памяти. Все фронты выходных сигналов КДП привязаны к фронтам тактовых сигналов, кроме сигналов \overline{XACK} и \overline{SACK} . КДП может работать в режиме с внутренним или внешним генератором. В режиме с внутренним генератором на входы X0, X1 подключен кварцевый резонатор (рис. 5.37). В режиме с внешним генератором используются тактовые сигналы ЦП, для чего вход X0/OP2 подключают к шине питания +5 В, а вход X1/CLK — к выходу тактового генератора ЦП.

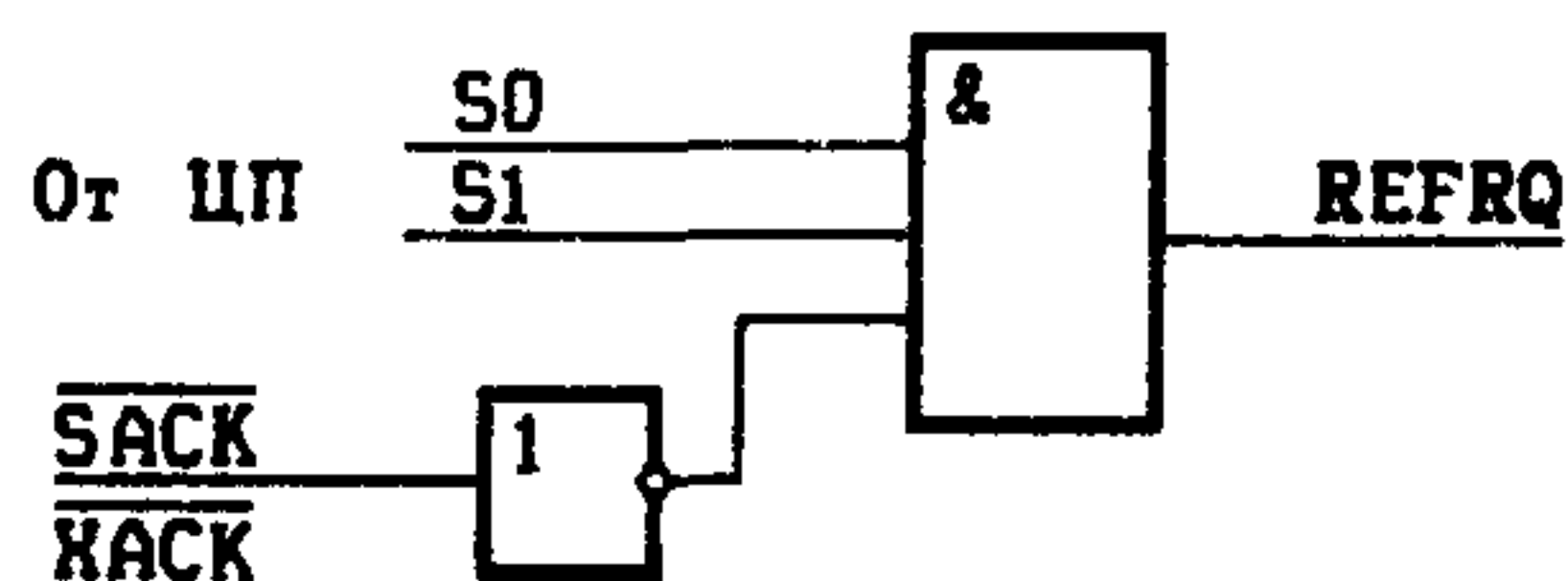


Рис. 5.38. Схема с декодированием состояния ЦП

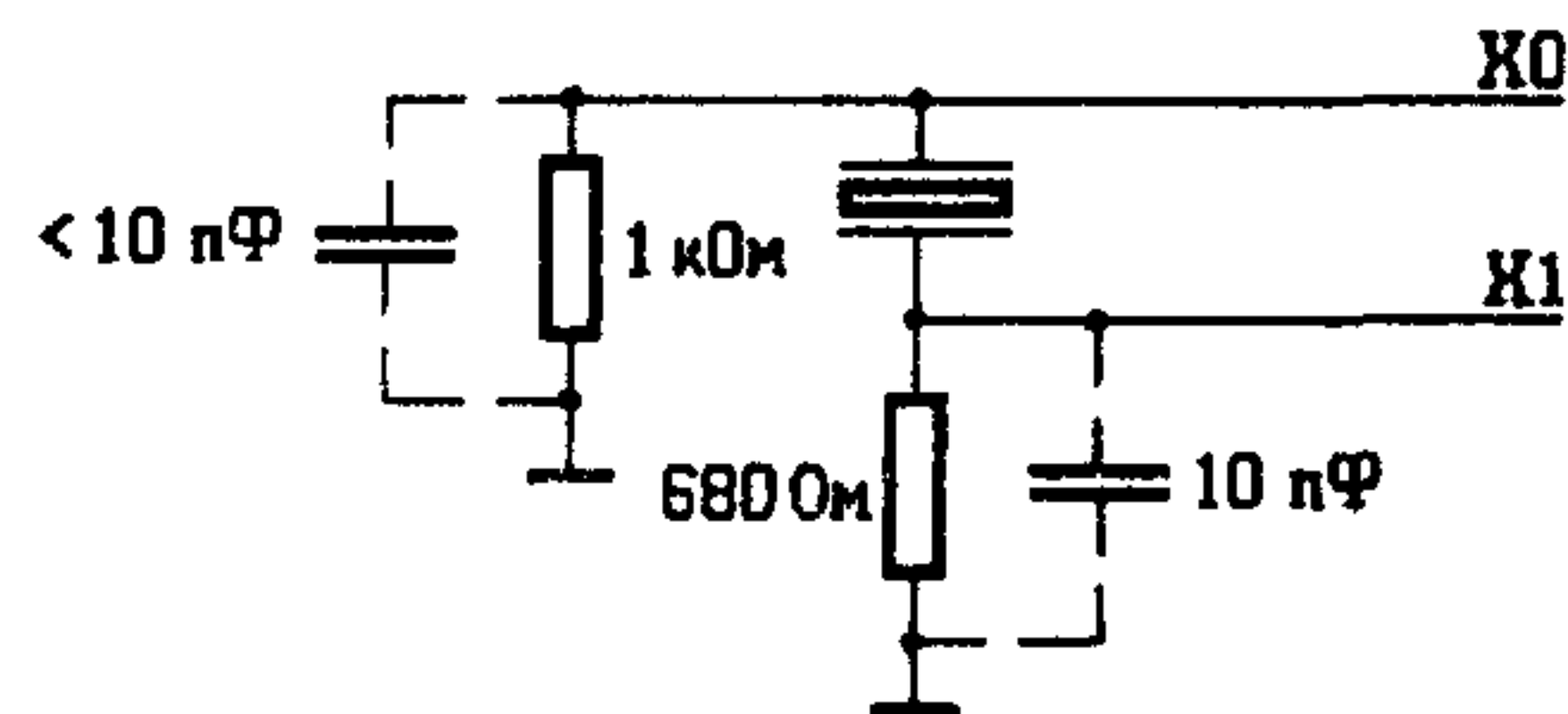


Рис. 5.37. Схема подключения кварцевого резонатора

Для запросов циклов памяти обычно используют входы \overline{RD} и \overline{WR} , кроме режима опережающего чтения, в котором для запроса цикла чтения используются входы ALE и S1 вместо \overline{RD} .

Инициализация КДП осуществляется по входу \overline{PCS} . При подаче на него сигнала низкого уровня происходит разрешение запросов циклов памяти от ЦП. При сигнале $\overline{PCS} = 0$ разрешается прием запросов на циклы чтения или записи по входам \overline{RD} или \overline{WR} , которые аннулировать нельзя, если даже на вход \overline{PCS} сразу подается сигнал высокого уровня.

Регенерация памяти КДП может выполняться двумя способами. Внутренний цикл регенерации осуществляется с помощью таймера регенерации RT, расположенного внутри КДП и обеспечивающего регенерацию всех строк ОЗУ через 2/4 мс для 128/256 циклов соответственно. При внешней регенерации используется вход внешнего запроса на регенерацию REFRQ (ALE) и может осуществляться «скрытая» регенерация, так как внутренняя логика КДП позволяет фиксировать запросы на регенерацию, а арбитр — решать конфликтные ситуации при одновременных запросах от ЦП на циклы памяти и регенерацию. На рис. 5.38 показана схема, позволяющая декодировать состояние выборки команды ЦП и использовать пустой такт этого цикла для регенерации.

При запросе циклов памяти от ЦП входные буферы ВD1, ВD2 запоминают адрес ячейки памяти и выдают их последовательно с помощью адресных мультиплексоров MUX1, MUX2 на выходы $\overline{\text{OUT7}}-\overline{\text{OUT0}}$ в сопровождении сигналов $\overline{\text{RAS}}$ и $\overline{\text{CAS}}$, которые разделяют цикл памяти на два периода. В течение первого к выходам $\overline{\text{OUT}}$ подключаются выходы ВD2 (AL7—AL0) и формируется сигнал $\overline{\text{RAS}}$. Во втором периоде к выходам $\overline{\text{OUT}}$ подключаются выходы ВD1 (AH7—AH0) и формируется сигнал $\overline{\text{CAS}}$. Сигналы $\overline{\text{RAS}}$ и $\overline{\text{CAS}}$ позволяют зафиксировать во внутренних буферах элементов памяти полный адрес ячейки. В цикле записи на выходе $\overline{\text{WE}}$ формируется отрицательный строб, выполняющий функцию записи данных в элементы памяти.

В цикле регенерации к адресным выходам $\overline{\text{OUT}}$ подключаются выходы счетчика/регенерации MAR и вырабатывается только сигнал $\overline{\text{RAS}}$. Для минимизации задержек информации на адресных выходах $\overline{\text{OUT}}$ инвертируется.

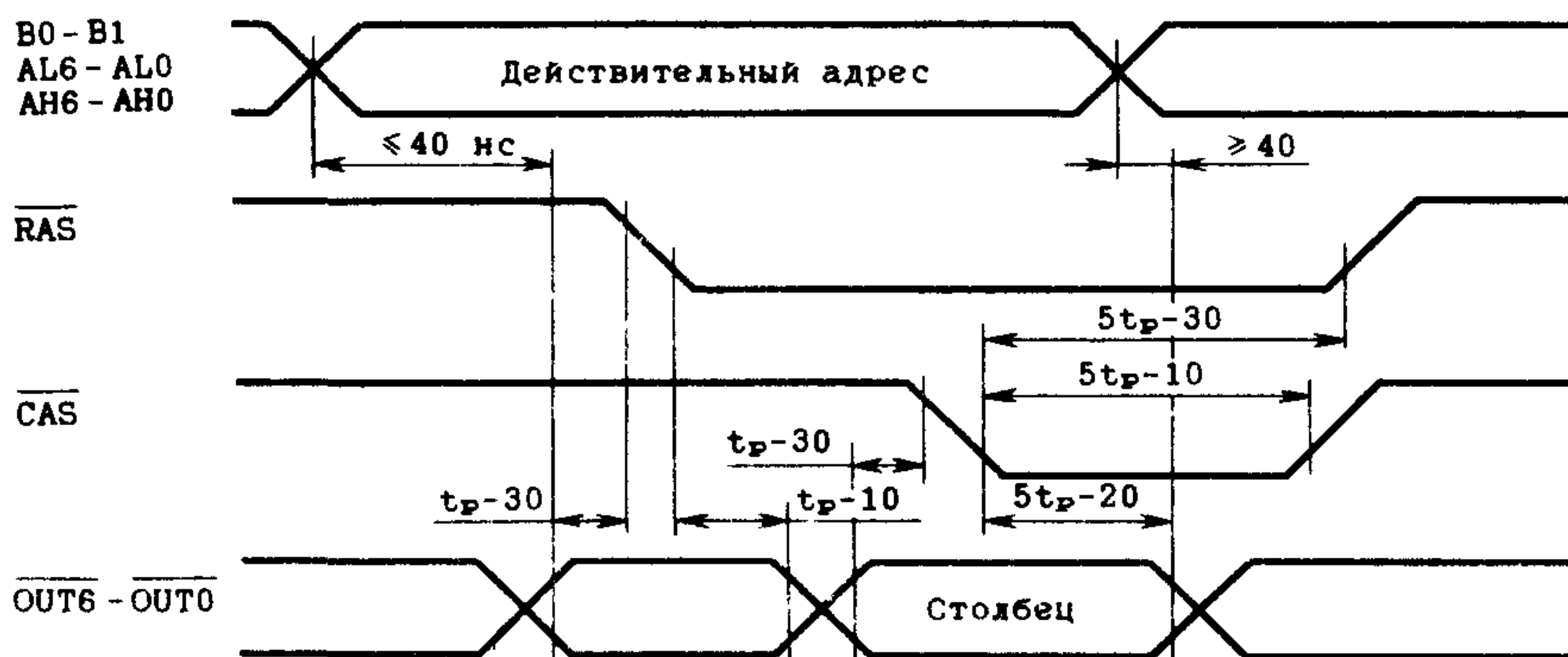


Рис. 5.39. Временные диаграммы работы КДП в цикле обращения к памяти (t_P - время регенерации)

Временная диаграмма работы адресного мультиплексора и формирователя сигналов $\overline{\text{RAS}}$ и $\overline{\text{CAS}}$ показана на рис. 5.39, а временная диаграмма сигналов $\overline{\text{WR}}$, $\overline{\text{RAS}}$, $\overline{\text{WE}}$ и $\overline{\text{CAS}}$ — на рис. 5.40.

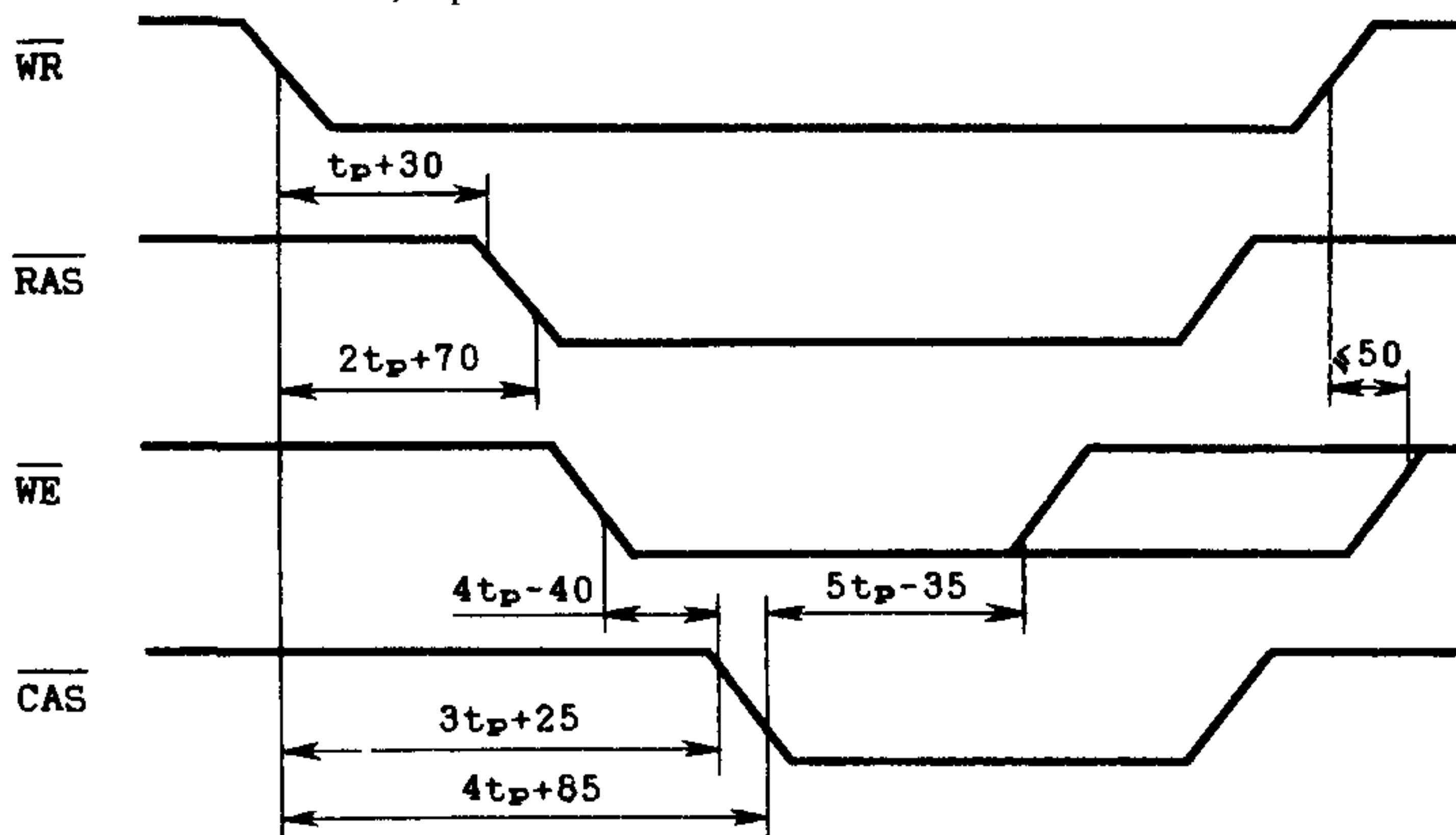


Рис. 5.40. Временные диаграммы работы КДП в цикле чтения

Функционирование. Микросхема может находиться в состоянии ожидания либо в цикле проверки, регенерации, чтения или записи. Обычно КДП находится в состоянии ожидания. Всякий раз, когда поступает запрос на другие циклы, он переходит к выполнению требуемого цикла, после чего возвращается в состояние ожидания.

Цикл проверки используется для проверки работы внутренних функций КДП. Циклы проверки запрашиваются подачей активных сигналов на входы \overline{PCS} , \overline{RD} , \overline{WR} . В цикле проверки сбрасывает счетчик регенерации и выполняется цикл записи. При нормальной работе этот цикл использовать нельзя, так как он может повлиять на цикл регенерации динамического ОЗУ.

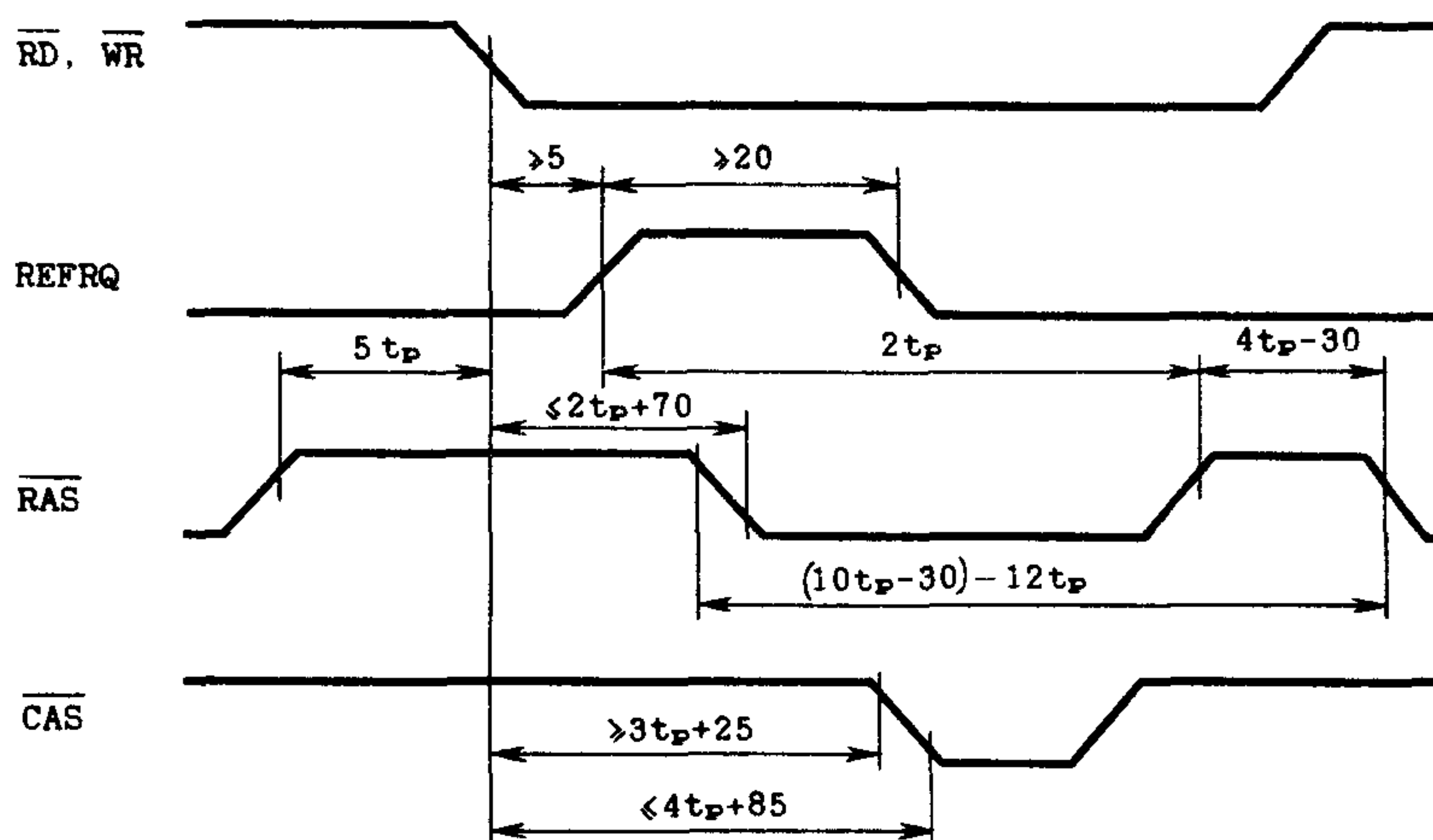


Рис. 5.41. Цикл чтения/записи после сигнала регенерации

Цикл регенерации осуществляется двумя способами: внутренним и внешним. В общем случае в цикле регенерации на выходы $\overline{OUT7} - \overline{OUT0}$ выдается адрес строк регенерации (содержимое счетчика MAR) и активизируются выходы строга строк \overline{RAS} . Выходы \overline{CAS} , \overline{WE} , \overline{SACK} и \overline{XACK} остаются неактивными. После завершения одного цикла регенерации содержимое MAR увеличивается на единицу.

Внутренняя регенерация осуществляется с помощью таймера регенерации RT, расположенного внутри микросхемы. Таймер обеспечивает регенерацию всех строк динамического ОЗУ через каждые 2 мс для 128 циклов или каждые 4 мс для 256 циклов. Таймер регенерации выставляет запросы на регенерацию через каждые 10...16 мкс, если сигнал на входе REFRQ (ALE) неактивен.

При внешней регенерации используется вход REFRQ (ALE). Внешняя регенерация невозможна, если задан режим опережающего чтения. Запросы внешней регенерации фиксируются в КДП и переводят его в цикл регенерации, если нет циклов памяти. Если выполняются циклы памяти или одновременно с запросом на регенерацию поступил запрос на циклы памяти, то предпочтение отдается циклам памяти. Это свойство позволяет «скрыть» циклы регенерации во время работы системы, т. е. использовать пустые такты циклов выполнения команд для выполнения циклов регенерации (см. рис. 5.42). На рис. 5.41 и 5.42 показаны циклы регенерации.

Циклы считывания могут выполняться двумя различными способами: нормального и опережающего считывания. Нормальный цикл считывания выполняется по запросу, поступающему на вход \overline{RD} при условии, что $\overline{PCS} = 0$. Запрос на входе \overline{RD} должен сохраняться до тех пор, пока КДП не выставит сигнал \overline{XACK} .

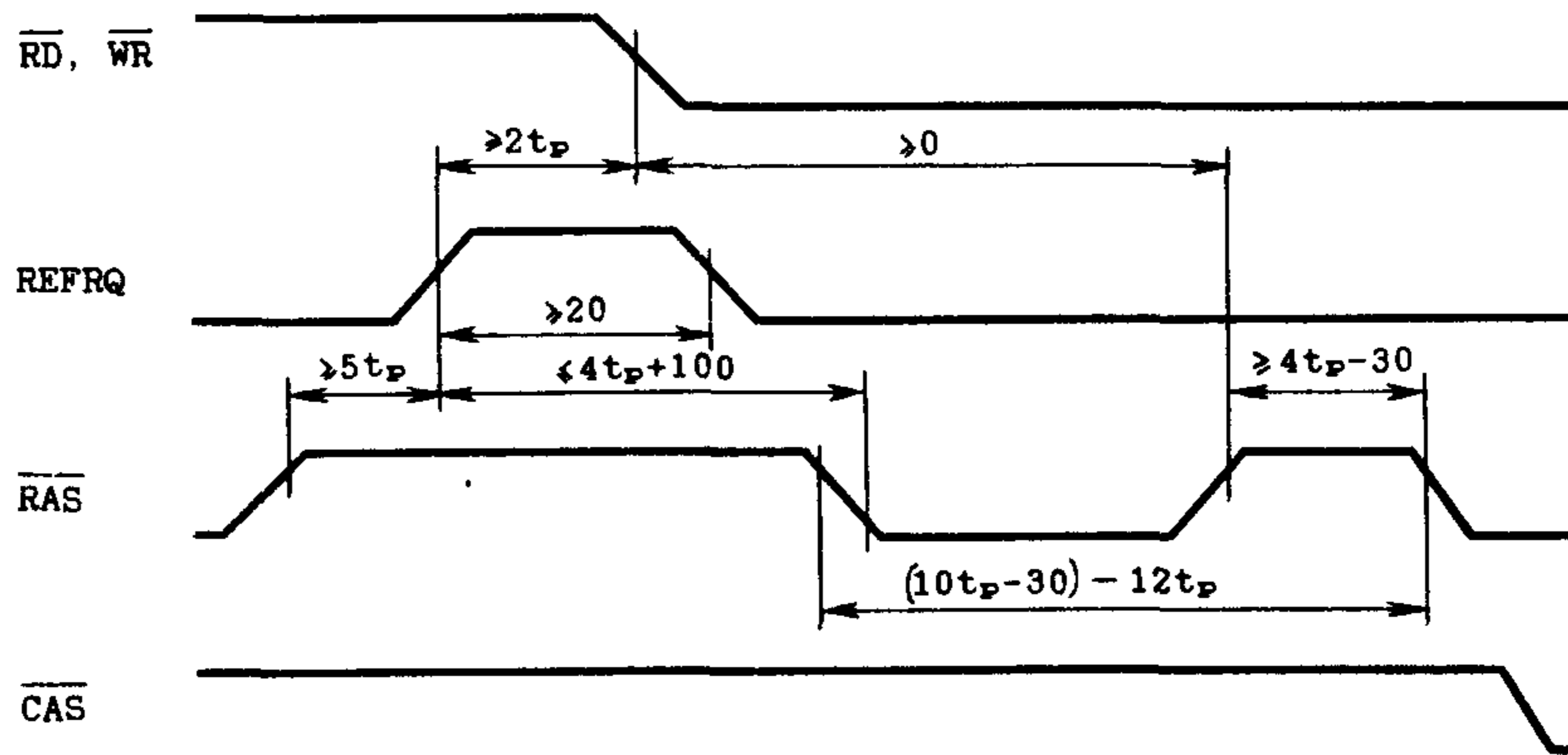


Рис. 5.42. Цикл регенерации после цикла чтения/записи

Опережающее считывание возможно только в режиме 16К. Циклы опережающего считывания запрашиваются по входу ALE, если S1 находится в активном состоянии. Фиксация запроса на циклы опережающего считывания осуществляется по срезу сигнала ALE. Если запрос на цикл считывания приходит во время выполнения цикла регенерации, то КДП вырабатывает квитирующий сигнал \overline{SACK} по запросу на цикл считывание и удерживает его до тех пор, пока не выработается сигнал \overline{XACK} . Квитирующие сигналы \overline{XACK} или \overline{SACK} используются для генерации сигнала готовности READY ЦП в зависимости от конфигурации МПС. На рис. 5.43 показана временная диаграмма работы КДП в цикле нормального считывания/записи, а на рис. 5.44 — в цикле опере-

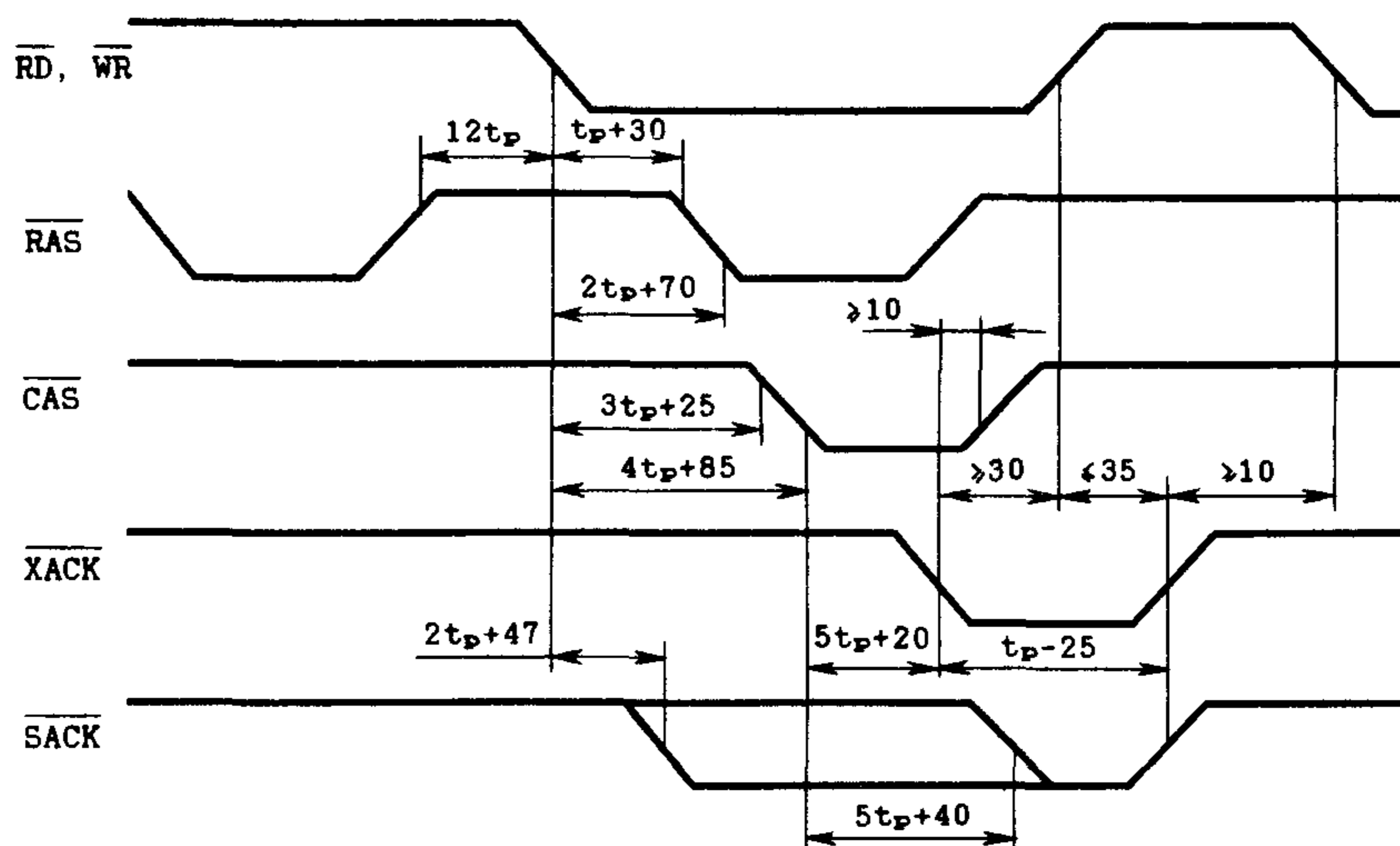


Рис. 5.43. Цикл нормального чтения/записи

жающего чтения. Режим опережающего считывания (рис. 5.44) задается подключением входа BI/OP1 к шине питания (+12 В), через резистор сопротивлением 5,1 КОм. В этом режиме КДП может управлять только двумя банками ОЗУ (RAS2, RAS3) и не работает в режиме внешней регенерации. В табл. 5.6 приведено назначение выводов КДП в режимах нормального и опережающего считывания.

Т а б л и ц а 5.6

| Номер вывода | Обозначение | Считывание | |
|--------------|--------------------|------------|-------------|
| | | нормальное | опережающее |
| 25 | BI/OP1/AN7 | Ввод B1 | + 12 В |
| 32 | $\overline{RD}/S1$ | Ввод RD | Ввод S1 |
| 34 | REFRQ/ALE | Ввод REFRQ | Ввод ALE |

Циклы записи запрашиваются и выполняются аналогично циклам нормального считывания (рис. 5.43) за исключением того, что запрос на цикл записи осуществляется сигналом \overline{WR} и в цикле записи КДП вырабатывает исполнительный строб записи \overline{WE} . Все циклы записи, вырабатываемые КДП, являются «удлиненными». Если ЦП не обеспечивает достаточного времени для установки данных для записи, необходимо задержать сигнал \overline{WR} либо \overline{WE} . Задержка сигнала \overline{WR} приводит к задержке всех выходных сигналов контроллера, включая сигналы квитирования \overline{XACK} и \overline{SACK} , что приводит к увеличению числа состояний ожидания, генерируемых ЦП. Если осуществляется задержка \overline{WE} , то фронт этого сигнала используется для записи данных в ОЗУ.

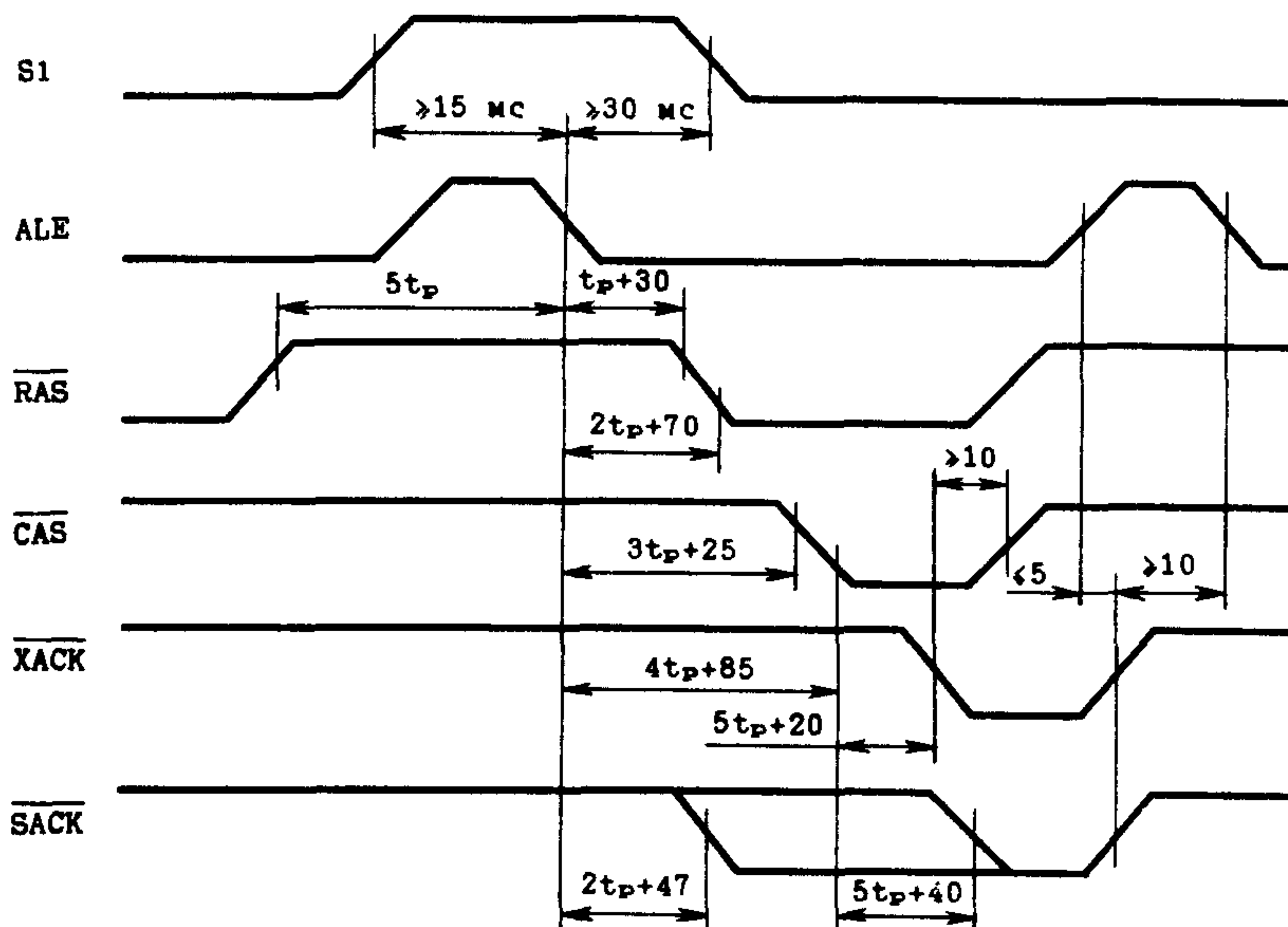


Рис. 5.44. Цикл опережающего чтения

Временные диаграммы сигналов \overline{WR} , \overline{RAS} , \overline{WE} , \overline{CAS} представлены на рис. 5.40, а цикл опережающего чтения — на рис. 5.44.

Режимы работы КДП. Микросхема может работать в двух основных режимах, которые задаются потенциалами на входе 16К/64К и ориентируют КДП на управление различными элементами памяти.

Т а б л и ц а 5.7

| Номер вывода | Режим | |
|--------------|-------------------|----------------------------------|
| | 16К | 64К |
| 23 | $\overline{RAS2}$ | Адресный вывод $\overline{OUT7}$ |
| 24 | Выбор банка (B0) | Адресный вход AL7 |
| 25 | Выбор банка (B1) | То же |
| 26 | $\overline{RAS3}$ | Выбор банка B0 |

Режим 16К задается подключением входа 16К/64К к шине питания (+5 В). Он ориентирован на управление ОЗУ, выполненного на элементах памяти К565РУ6, и обеспечивает управление модулем ОЗУ емкостью 64К, разделенным на четыре банка по 16К слов в каждом, в режиме нормального чтения. Для опережающего чтения управляет двумя банками ОЗУ по 16К слов. Выбор банка в этом режиме осуществляется адресным кодом на входах B0, B1, который формирует один из выходных сигналов ($\overline{RAS0}$ — $\overline{RAS3}$), инициализирующий обращения к соответствующему банку.

Т а б л и ц а 5.8

| Режим | Входы | | Выходы | | | |
|-------|-------|----|-------------------|-------------------|-------------------|-------------------|
| | B0 | B1 | $\overline{RAS0}$ | $\overline{RAS1}$ | $\overline{RAS2}$ | $\overline{RAS3}$ |
| 16К | 0 | 0 | 0 | 1 | 1 | 1 |
| | 0 | 1 | 1 | 0 | 1 | 1 |
| | 1 | 0 | 1 | 1 | 0 | 1 |
| | 1 | 1 | 1 | 1 | 1 | 0 |
| 64К | 0 | - | 0 | 1 | - | - |
| | 1 | - | 1 | 0 | - | - |

Режим 64К задается подключением входа 16К/64К к шине и ориентирован на управление ОЗУ, выполненного на элементах памяти РУ5. Он обеспечивает управление модулем ОЗУ емкостью 128К слов, образованным двумя банками по 64К каждый. В этом режиме КДП может выполнять только циклы нормального чтения. Выбор банка осуществляется кодом на входе B0, открывающем выход $\overline{RAS0}$ либо $\overline{RAS1}$.

В табл. 5.7 показано назначение выводов КДП в зависимости от выбранного режима, а в табл. 5.8 — соответствие кодов на выходах $\overline{RAS3}$ — $\overline{RAS0}$ кодам на входах B0, B1.

Кроме двух основных режимов работы КДП могут быть заданы режимы работы: с ОЗУ емкостью 4К, с внутренним или внешним генератором, опережающего чтения. Эти режимы задаются положительными смещениями по входам ОРЗ — ОР1. Режим 4К ориентирует КДП на работу с ОЗУ на элементах памяти 565РУ1, и задается, как и режим 16К, за исключением того, что вывод ОРЗ подключается к шине питания (+12 В) через резистор 5,1 кОм.

Работа с внешним или внутренним генератором может быть задана для любых режимов работы с помощью входов Х0/ОР2, Х1/СLК. Работа с внутренним генератором предполагает использование кварцевого резонатора, который подключается по схеме, показанной на рис. 5.37. Работа с внешним генератором задается подключением входа ОР2 к шине питания (+5 либо +12 В) через резистор сопротивлением 1 кОм. В этом случае вход СLК подключен к выходу тактового генератора ЦП.

Операция опережающего чтения возможна только для режима 16К. Режим опережающего чтения задается подключением входа ОР1 к шине питания (+12 В) через резистор сопротивлением 5,1 кОм. В этом случае запрос цикла чтения производится внешним сигналом по входам АLЕ и S1. В табл. 5.9 показано назначение выводов КДП в зависимости от выбранных режимов.

Т а б л и ц а 5.9

| Номер вывода | Обозначение | Функция | |
|--------------|-------------|---------------------|--------------------------|
| | | нормальная | дополнительная |
| 25 | B1/OP1/AN7 | Выбор банка B1 | Опережающее чтение |
| 36 | X0/OP2 | Вход подключения X0 | Вход внешнего генератора |
| 18 | AL6/OP3 | Адресный вход AL6 | Режим 4К |

Применение КДП. Как уже отмечалось, КДП может быть использован для управления модулем ОЗУ различной емкости. Покажем на примере, как КДП используется для управления модулем памяти 64К, выполненным на элементах памяти К565РУ6. На рис. 5.45 показана структурная схема модуля ОЗУ емкостью 64 Кбайт для КДП в режиме 16К для нормального чтения с внешним генератором и внутренней регенерацией. Адреса ячеек ОЗУ занимают пространство с 80000 по 8FFFFF. Модуль памяти включает 32 ИС К565РУ6, четыре банка по восемь ИС в каждом. Адресация к ячейкам памяти каждого банка осуществляется линиями А13—А0 шины адреса. Выбор банка осуществляется линиями А14, А15, инициализирующими один из выходов $\overline{RAS3}$ — $\overline{RAS0}$. Инициализация КДП выполняется по базовому адресу модуля памяти, равному 1000 для старших разрядов (А19—А16) шины адреса. Инициализацию осуществляют сигналом на входе \overline{PCS} , который формируется путем дешифрации этих разрядов с помощью логических элементов ИЛИ-НЕ, И-НЕ. На рис. 5.46 показано распределение разрядов шины адреса при адресации к модулю памяти.

Цикл регенерации КДП выполняется автономно. В случае запросов циклов памяти со стороны процессора КДП формирует соответствующие сигналы управления \overline{RAS} , \overline{CAS} и \overline{WE} модулем ОЗУ в цикле считывания, выставляя данные на входы буфера RG и фиксируя их сигналом \overline{XACK} . Выходные шины

буфера открываются на время действия сигнала \overline{RD} . В цикле записи данные из МП поступают непосредственно на входы DI элементов памяти и фиксируются сигналом \overline{WE} .

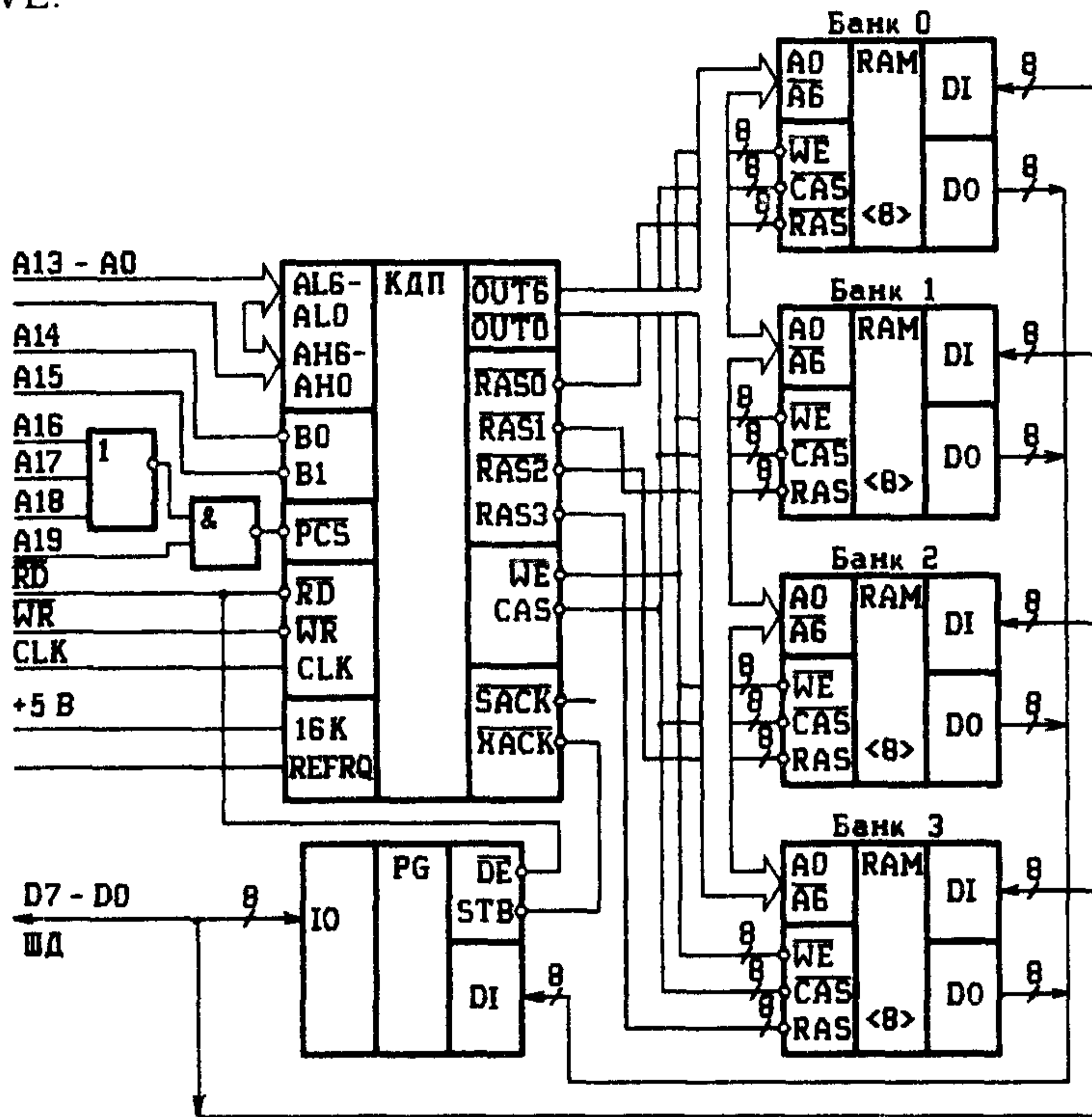


Рис. 5.45. Структурная схема ОЗУ в режиме 16 К

На рис. 5.47 приведена структурная схема модуля ОЗУ емкостью 256 Кбайт для КДП в режиме 64К в стандарте Multibus. Модуль памяти выполняется на элементах памяти К565РУ5 и включает 32 ИС. Модуль разбит на два банка емкостью по 64К 16-разрядных слов. Каждый банк, в свою очередь, делится на два поля по 64 Кбайт для хранения старшего и младшего байта слова. Выбор банка осуществляется разрядом A_{17} шины адреса. При $A_{17} = 0$ выбирается банк 0 сигналом $\overline{RAS0}$ при $A_{17} = 1$ — банк 1 сигналом $\overline{RAS1}$.

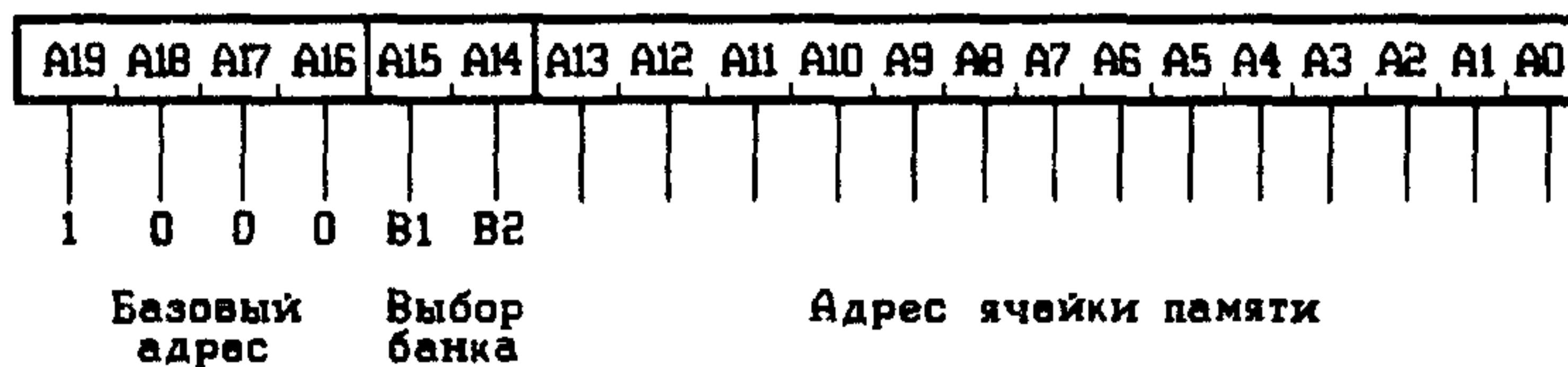


Рис. 5.46. Распределение адресного пространства модуля ЗУ

В зависимости от состояния сигналов на входах \overline{BNE} и A_0 выбирается старший или младший байт слова либо полностью слово согласно порядку чтения данных командами ЦП. Инициализация циклов обращения к памяти осуществляется по входу \overline{PCS} дешифрацией старших разрядов (A_{18} , A_{19}) шины адреса.

В цикле чтения данные с шины DO фиксируются в выходных буферах регистра RG сигналом XACK. В цикле записи данные поступают от ЦП через входной буфер BD на шину памяти DI и записываются в адресуемую ячейку сигналом

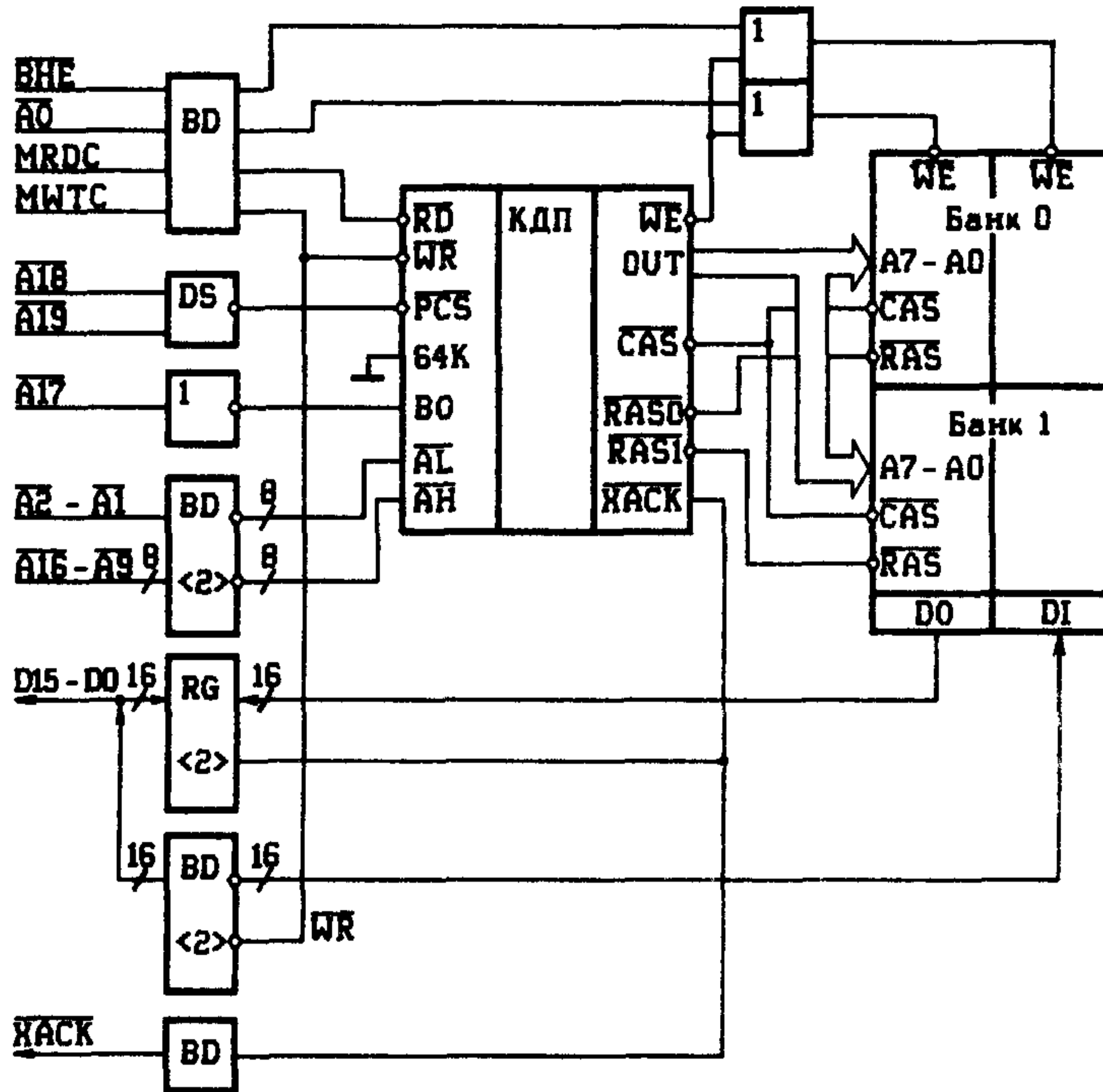


Рис. 5.47. Структурная схема ОЗУ в режиме 64К

WE. Входной буфер BD открывается сигналом WR от ЦП. Сигнал XACK может быть использован как квитирующий, сообщающий ЦП о завершении циклов памяти. Как правило, этот сигнал используется для формирования сигнала READY для ЦП (рис. 5.48).

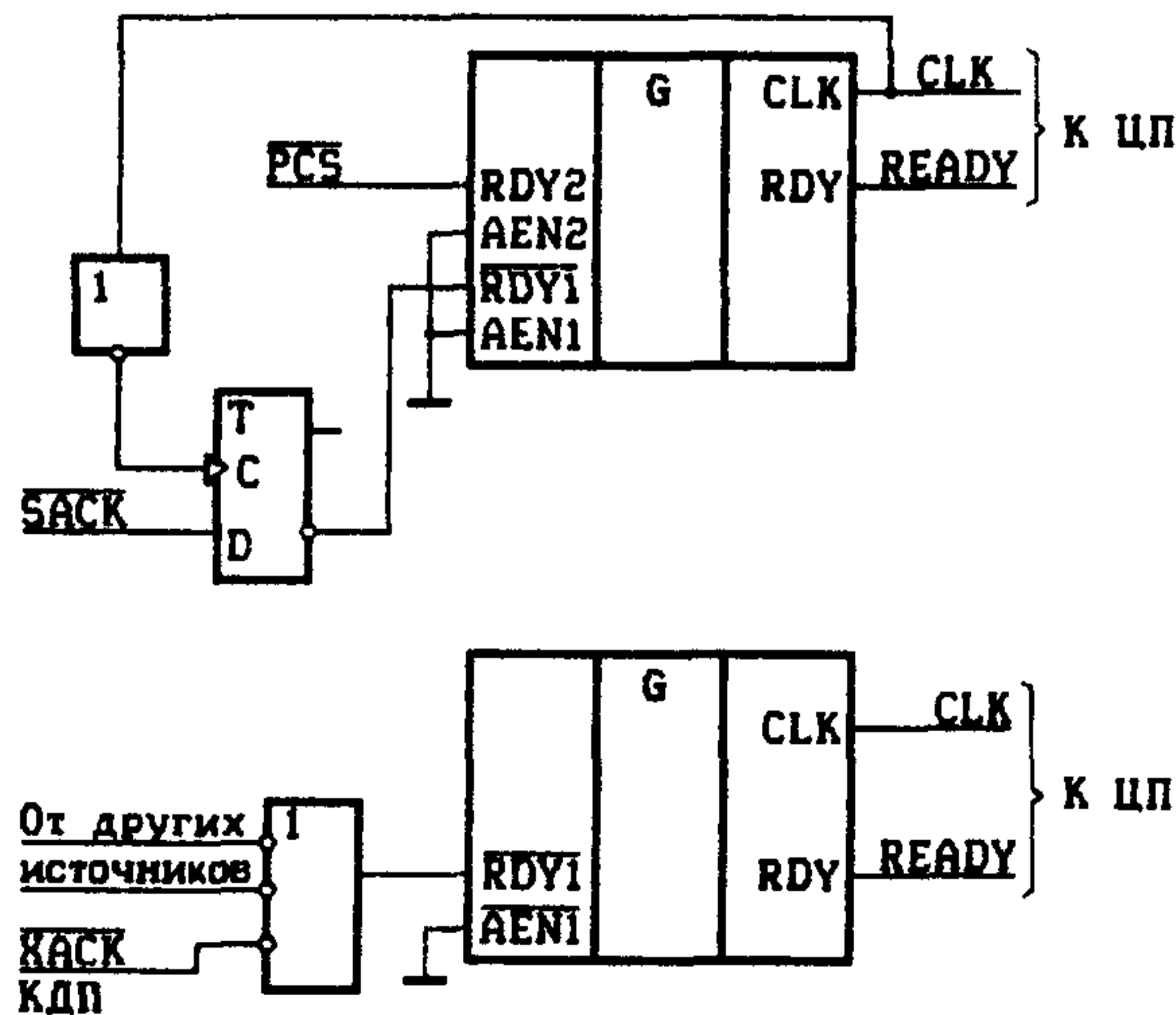


Рис. 5.48. Варианты использования сигналов SACK и XACK