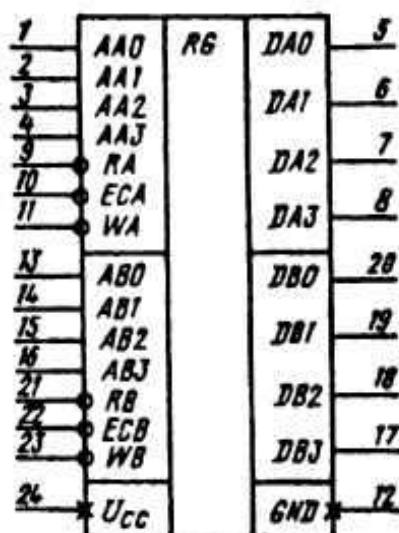


К1802ИР1, КР1802ИР1

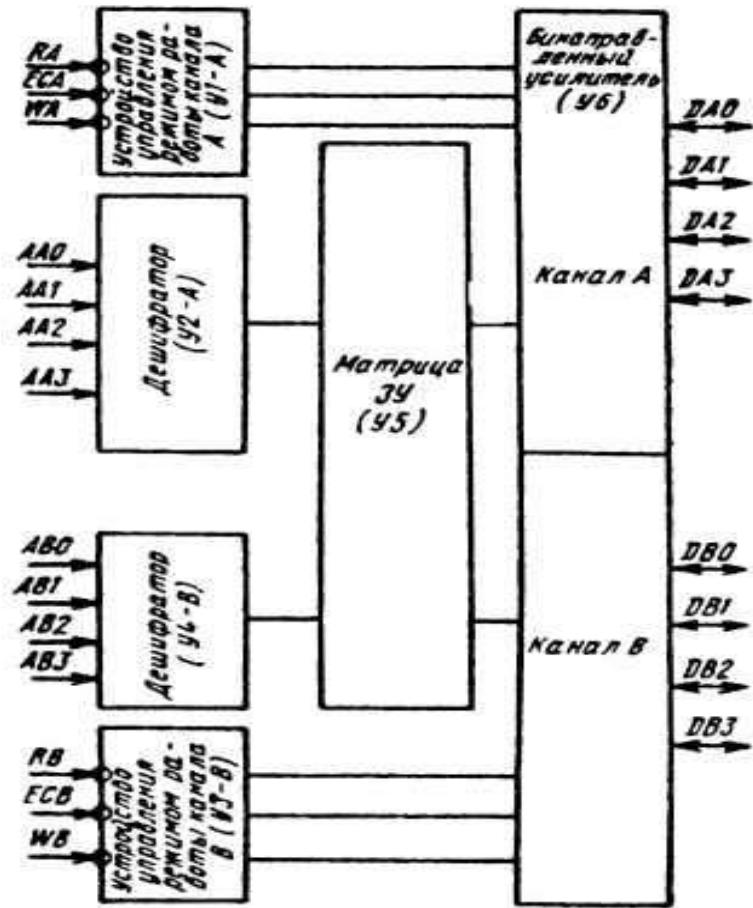
Микросхемы представляют собой двухадресный регистр общего назначения (РОН) на 64 бита и предназначены для построения РОН в процессорах двухадресных СОЗУ, магазинных ЗУ, сверхоперативных ЗУ и многоадресных ОЗУ. В состав ИС входят матрица 16x4 бит (Y5), включающая 16 четырехразрядных регистров, 2 дешифратора (Y2-A) и (Y4-B) выбора необходимого регистра по каналам А и В соответственно; 2 устройства управления режимом работы (Y1-A) и (Y3-B) каналами А и В, биполярный усилитель (Y6), состоящий из 8 усилителей считывания стремя устойчивыми состояниями на выходе и 8 усилителей записи. Усилитель считывания и записи каждого разряда матрицы работает на один разряд соответствующего канала. ИС имеют два 4-разрядных канала для приема и выдачи информации.

Содержат 1662 интегральных элемента. Корпус типа 4118.24-1, 239.24-2, масса не более 4 г.



Условное графическое обозначение КР1802ИР1

Назначение выводов: 1...4 - входы адреса канала А AA0...AA3; 5...8 - входы/выходы информации канала А (бинаправленные с тремя состояниями) DA0...DA3; 9 - вход считывания информации канала А, \overline{RA} ; 10 - вход разрешения канала А, \overline{ECA} ; 11 - вход записи канала А, \overline{WA} ; 12 - общий; 13...16 - входы адреса канала В, AB0...AB3; 17...20 - входы/выходы информации канала В (бинаправленные, с тремя состояниями) DB3...DB0; 21 - вход считывания информации канала В, \overline{RB} ; 22 - вход разрешения канала В, \overline{ECB} ; 23 - вход записи канала В, \overline{WB} ; 24 - напряжение питания.



Структурная схема КР1802ИР1

Режим работы РОН

Режим работы	Состояние входов							
	Канал А				Канал В			
	\overline{RA}	\overline{ECA}	\overline{WA}	AA0...AA3	\overline{RB}	\overline{ECB}	\overline{WB}	AB0...AB3
Состояние «выключено»	X 1	1 X	X 1	X X	X 1	1 X	X 1	X
Запись по каналу А	1	0	0	X	X 1	1 X	X 1	X
Запись по каналу В	X 1	1 X	X 1	X	1	0	0	X
Одновременная запись по каналам А и В	1	0	0	X	1	0	0	X
Считывание по каналу А	0	0	1	X	X 1	1 X	X 1	X
Считывание по каналу В	X 1	1 X	X 1	X	0	0	1	X
Одновременное считывание по каналам А и В	0	0	1	X	0	0	1	X
Запись по каналу А и считывание по каналу В	1	0	0	X	0	0	1	X
Запись по каналу В и считывание по каналу А	0	0	1	X	1	0	0	X

Примечание. X - состояние входа безразлично; x - одно из значений адреса от 0 до 15.

Электрические параметры

Номинальное напряжение питания 5 В ± 5%

Выходное напряжение низкого уровня ≤ 0,5 В

Выходное напряжение высокого уровня ≥ 2,4 В

Ток потребления при $U_n = 5,25$ В ≤ 170 мА

Входной ток низкого уровня:

- по выводам 1...8, 13...20 ≤ |-0,25| мА

- по выводам 9, 11, 21, 23 ≤ |-0,4| мА

- по выводам 10, 22 ≤ |-0,8| мА

Входной ток высокого уровня по выводам

1...4, 9...11, 13...16, 21...23 ≤ 40 мкА

Выходной ток высокого уровня в состоянии «выключено»

для входов/выходов 5...8, 17...20 ≤ 40 мкА

Потребляемая мощность ≤ 892 мВт

Время задержки распространения сигнала:

- от входов адреса AA, AB до выходов данных DA, DB≤ 58 нс
- от входов/выходов данных DA (DB)
до входов/выходов данных DB (DA)≤ 48 нс
- от входов \overline{WA} (\overline{WB}) до выходов данных DA (DB)≤ 73 нс

Время перехода входов/выходов информации из состояния:

- низкого (высокого) уровня в состояние «выключено»
от входов считывания, от входов разрешения≤ 30 нс
- «выключено» в состояние низкого (высокого) уровня от
входов считывания, от входов разрешения≤ 27 нс