

Серии К1802, КМ1802, КР1802

Отличительной особенностью микропроцессорного комплекта серий К1802, КМ1802, КР1802 является широкий набор функциональных расширителей (умножителей, делителей, сдвигателей), многоадресных регистров общего и специального назначения и коммутационных устройств; неограниченное наращивание разрядности, микропрограммируемость, возможность эмуляции произвольной системы команд, комплект не специализирован под определенную систему команд.

В состав указанных серий, выполненных по биполярной технологии (ЭСЛ, ТТЛШ) и предназначенных для построения контроллеров, встроенных автономных микро-ЭВМ, устройств автоматики и систем обработки данных, СОЗУ и многоадресных ОЗУ, процессоров; множительных и делительных устройств повышенной разрядности, однопроцессорных и многопроцессорных вычислительных систем, аппаратных умножителей, устройств для быстрого преобразования Фурье, входят типы:

К1802ВВ1, КР1802ВВ1 — схема обмена информацией;

К1802ВВ2, КР1802ВВ2 — схема интерфейса;

К1802ВВ3, КР1802ВВ3 — программируемый адаптер последовательного интерфейса;

К1802ВЖ1 — мажоритарный элемент;

К1802ВР1, КР1802ВР1 — 16-разрядный арифметический расширитель;

К1802ВР2, КР1802ВР2 — 8-разрядная секция последовательного умножителя/делителя;

К1802ВР3, КР1802ВР3 — 8-разрядный параллельный умножитель;

К1802ВР4, КМ1802ВР4 — 12-разрядный параллельный умножитель;

К1802ВР5, КМ1802ВР5 — 16-разрядный параллельный умножитель;

КР1802ВР6 — 8-разрядный умножитель параллельного типа;

К1802ВР7, КР1802ВР7 — параллельный умножитель 8×8 ;

K1802BC1, KP1802BC1 — 8-разрядная микропроцессорная секция;

K1802ИМ1, KP1802ИМ1 — четырехвходовый сумматор;

KP1802ИП1 — многоадресный ассоциативный регистр на 40 бит;

K1802ИР1, KP1802ИР1 — двухадресный регистр общего назначения;

KP1802КП1 — 4-разрядная секция многофункционального коммутатора магистралей на 4 направления.

K1802BB1, KP1802BB1

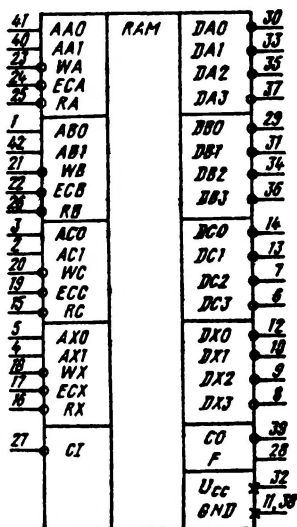
Микросхемы представляют собой схему обмена информацией (4-разрядную память с четырьмя 4-разрядными регистрами приема и выдачи информации) и предназначены для использования в качестве сверхоперативного запоминающего устройства с возможностью организации на одном из регистров счетчика с увеличением содержимого на +1 и коммутатора магистралей. На ИС возмож-

но построение интегрированной памяти, так как различные режимы задаются отдельно и независимо. Информацию можно передавать с одной магистрали на другую через любой регистр, кроме регистра *RG0*. Магистрали *DA*, *DB*, *DC* предназначены для работы на короткие линии связи, магистраль *DX* — на длинные, согласованные линии связи. В состав ИС входят 4-разрядные регистры, 4-разрядный двоичный счетчик, дешифраторы выбора регистра, мультиплексоры выбора информации, схемы сравнения, блок приема/выдачи данных, схема записи. Содержат 1900 интегральных элементов Корпус типа 4138.42-3, 2206.42-1.

Назначение выводов: 1, 42 — входы адреса регистра при обмене информацией с каналом В, *AB0*, *AB1*;

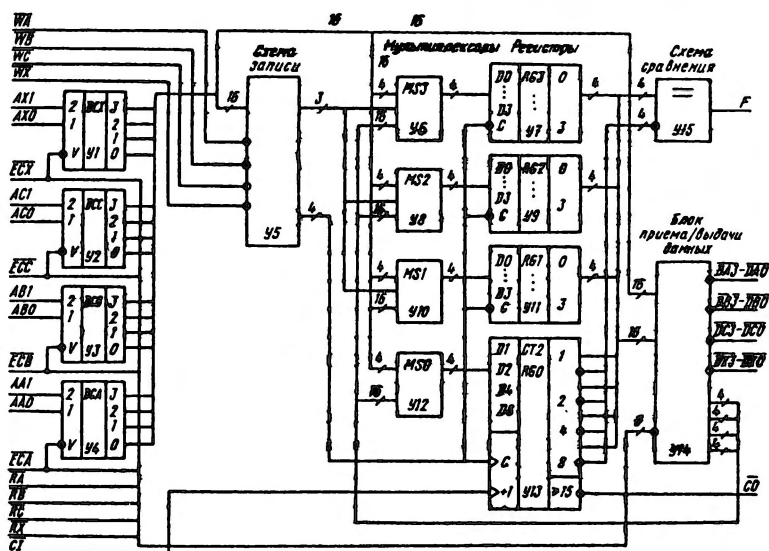
2, 3 — входы адреса регистра при обмене информацией с каналом С, *AC1*, *AC0*;

4, 5 — входы адреса регистра при обмене информацией с каналом X *AX1*, *AX0*; 6, 7, 13, 14 — входы/выходы информации канала С (бинаправленные с тремя состояниями) *DC3...DC0*; 8, 9, 10, 12 — входы/выходы ин-



Условное графическое обозначение KP1802BB1

формации канала X (бинаправленные магистральные, с открытым коллектором) $\overline{DX3} \dots \overline{DX0}$; 11, 38 — общие; 15, 16, 25, 26 — входы считывания информации каналов C, X, A, B, \overline{RC} , \overline{RX} , \overline{RA} , \overline{RB} ; 17, 19, 22, 24 — входы разрешения обмена информацией с каналами X, C, B, A, \overline{ECX} , \overline{ECC} , \overline{ECB} , \overline{ECA} ; 18, 20, 21, 23 — входы записи информации каналов X, C, B, A, \overline{WX} , \overline{WC} , \overline{WB} , \overline{WA} ; 27 — вход переноса \overline{CI} ; 28 — выход признака равенства содержимого \overline{RO} , $\overline{R3}$, \overline{F} ; 29, 31, 34, 36 — входы/выходы информации канала B (бинаправленные с тремя состояниями) $\overline{DB0} \dots \overline{DB3}$; 30, 33, 35, 37 — входы/выходы информации канала A (бинаправленные магистральные, с тремя состояниями) $\overline{DA0} \dots \overline{DA3}$; 32 — напряжение питания; 39 — выход переноса \overline{CO} ; 40, 41 — входы адреса регистра при обмене информацией с каналом A, AA1, AA0.



Структурная схема КР1802ВВ1

Электрические параметры

Номинальное напряжение питания	5 В ± 5%
Выходное напряжение низкого уровня:	
для выводов 8, 10, 12 при $I_{\text{ВЫХ}}^0 = 60 \text{ мА}$	≤ 0,8 В
для выводов 6, 7, 13, 14, 26...31, 33...37, 39	
при $I_{\text{ВЫХ}}^0 = 15 \text{ мА}$	≤ 0,5 В
Выходное напряжение высокого уровня,	
при $I_{\text{ВЫХ}}^1 = 1 \text{ мА}$	≥ 2,4 В

Ток потребления, при $U_{п}=5,25$	≤ 280 мА
Входной ток низкого уровня:	
по выводам 6...10, 12...16, 18, 20, 21, 23, 25, 26, 29...31, 33...37	$\leq -0,25 $ мА
по выводам 17, 19, 22, 24	$\leq -0,5 $ мА
по выводам 1...5, 40...42	$\leq -0,75 $ мА
по выводу 27	$\leq -2 $ мА
Входной ток высокого уровня:	
по выводам 15, 16, 18, 20, 21, 23, 25, 26	≤ 40 мкА
по выводам 17, 19, 22, 24	≤ 80 мкА
по выводам 1...5, 40...42	≤ 120 мкА
по выводу 27	≤ 160 мкА
Выходной ток высокого уровня	≤ 100 мкА
Потребляемая мощность	1470 мВт
Время задержки распространения сигнала от входа адреса регистра до входа/выхода информации:	
по каналам А, В, С	≤ 60 нс
по каналу X	≤ 66 нс
Время задержки распространения сигнала от входа/выхода информации до входа/выхода информации:	
по каналам А-В, А-С, В-А, В-С, С-А, С-В	≤ 66 нс
по каналам X-А, X-В	≤ 70 нс
по каналам X-С	≤ 77 нс
по каналам А-X, В-X	≤ 80 нс
по каналам С-X	≤ 88 нс
Время перехода из состояния низкого уровня в со- стояние «выключено» и из состояния «выключено» в состояние низкого уровня от входа считывания информации до входа/выхода информации:	
по каналам А, В, С	≤ 37 нс
по каналу X	≤ 41 нс
Время задержки распространения сигнала:	
от входа переноса до выхода переноса	≤ 28 нс
от входа переноса до входа информации:	
по каналам А, В, С	≤ 70 нс
по каналу X	≤ 80 нс
от входа переноса до выхода признака	≤ 60 нс
от входа записи информации до выхода признака	
	≤ 70 нс
от входа записи до входа/выхода информации:	
по каналам А, В, С	≤ 70 нс
по каналу X	≤ 80 нс
от входа/выхода информации до выхода признака	
	≤ 60 нс

Время перехода из состояния низкого уровня в состояние «выключено» и из состояния «выключено» в состояние низкого уровня от входа разрешения обмена информацией до входа/выхода информации:

- по каналам *A, B, C* ≤ 37 нс
- по каналу *X* ≤ 41 нс

Время установления информации относительно сигнала записи, длительность сигнала записи ≥ 50 нс

Время установления адреса относительно сигнала записи, время сохранения адреса относительно сигнала записи ≥ 15 нс

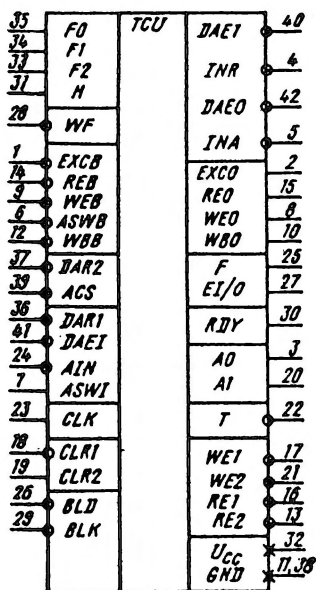
Время сохранения адреса относительно сигнала записи ≥ 30 нс

K1802BB2, KP1802BB2

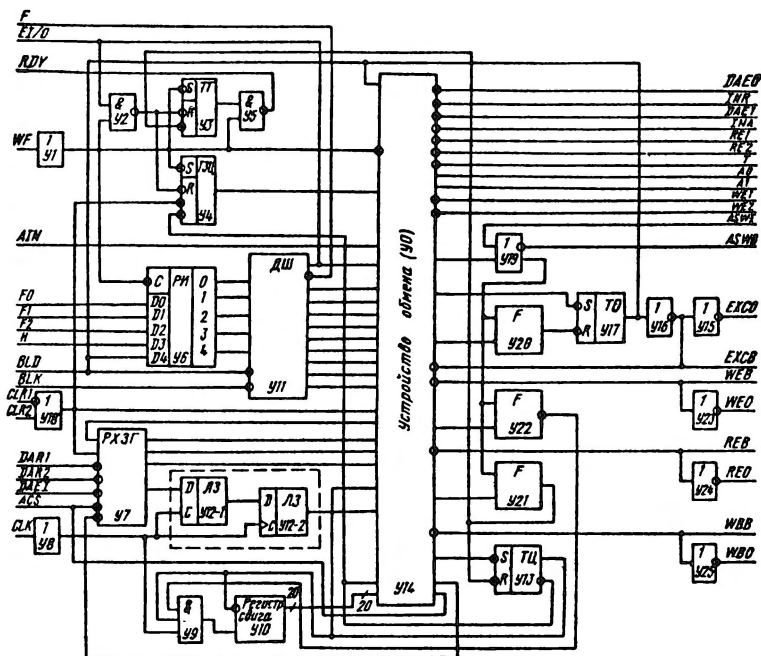
Микросхемы представляют собой схему интерфейса и предназначены для использования в однопроцессорных или многопроцессорных вычислительных системах в качестве схемы управления обменом информацией по совмещенной магистрали с асинхронной дисциплиной обмена. Позволяют реализовать алгоритм, упорядочивающий использование информационных

линий и линий сигналов сопровождения информации магистрали различными устройствами (алгоритм арбитража), и предназначены для совместной работы с KP1802BB1 и с другими схемами, обеспечивающими буферизацию приема и выдачи информации. В состав ИС входят 5-рядный регистр инструкций (*Y6*); дешифратор инструкций (*Y11*); триггер готовности (*Y3*); триггер запроса цикла (*Y4*); цифровая линия задержки (*Y12*); регистр сдвига (*Y10*); устройство обмена (*Y14*); триггер обмена (*Y17*); триггер цикла (*Y13*); регистр хранения запросов «главного» (*Y7*).

Содержат 1800 интегральных элементов. Корпус типа 4138.42-3, 2206.42-1, масса не более 6,5 г.



Условное графическое обозначение KP1802BB2



Структурная схема K1802BB2

Назначение выводов: 1 — вход/выход синхронизации устройства \overline{EXCB} ; 2 — выход синхронизации устройства $EXCO$; 3, 20 — выходы адреса $A0$, $A1$; 4 — выход запроса прерывания \overline{INR} (магистральный выход с открытым коллектором); 5 — выход разрешения прерывания \overline{INA} ; 6 — вход/выход ответа $ASWB$ (бинаправленные шины с открытым коллектором и магистральными прямопередатчиками); 7 — вход ответа $ASWI$; 8 — выход разрешения записи \overline{WEO} ; 9 — вход/выход разрешения записи (бинаправленные шины с открытым коллектором и магистральными приемопередатчиками) \overline{WEB} ; 10 — выход записи байта \overline{WBO} ; 11, 38 — общие; 12 — вход/выход записи байта \overline{WBB} (бинаправленные шины с открытым коллектором и магистральными приемопередатчиками); 13, 16 — выходы чтения $\overline{RE2}$, $\overline{RE1}$ (с открытым коллектором); 14 — вход/выход разрешения чтения \overline{REB} (бинаправленные шины с открытым коллектором и магистральными приемопередатчиками); 15 — выход разрешения чтения \overline{REO} ; 17, 21 — выходы записи $\overline{WE1}$, $\overline{WE2}$ (с открытым коллектором) 18, 19 — входы сброса $\overline{CLR1}$, $\overline{CLR2}$ (магистральный приемник); 22 — выход синхронизации счетчика \overline{T} (с открытым

коллектором); 23 — вход синхронизации CLK ; 24 — вход разрешения прерывания $\overline{A/N}$; 25 — выход фиксации пути F ; 26 — вход блокировки чтения записи данных \overline{BLD} ; 27 — выход разрешения внутреннего обмена EI/O ; 28 — вход записи микроинструкции \overline{WF} ; 29 — вход блокировки чтения команды \overline{BLK} ; 30 — вход сигнала готовности RDY (с открытым коллектором); 31 — вход определения главного процессора H ; 32 — напряжение питания; 33, 34, 35 — входы микроинструкции $F2, F1, F0$; 36 — вход запроса прямого доступа $\overline{DAR1}$; 37 — вход/выход запроса прямого доступа $\overline{DAR2}$ (магистральный вход с открытым коллектором); 39 — вход/выход подтверждения выборки \overline{ACS} (магистральный выход с открытым коллектором); 40 — выход подтверждения прямого доступа $\overline{DAE1}$ (магистральный выход с открытым коллектором); 41 — вход разрешения прямого доступа \overline{DAEi} ; 42 — выход разрешения прямого доступа \overline{DAEO} (магистральный выход с открытым коллектором).

Электрические параметры

Номинальное напряжение питания	5 В $\pm 5\%$
Выходное напряжение низкого уровня	$\leq 0,5$ В
Выходное напряжение высокого уровня	$\geq 2,4$ В
Ток потребления	≤ 250 мА
Выходной ток низкого уровня	$\leq -0,25 $ мА
Выходной ток высокого уровня	≤ 100 мкА
Входной ток высокого уровня	≤ 40 мкА
Потребляемая мощность	1312 мВт
Время задержки распространения сигнала от входа синхронизации:	
до выхода записи, выхода разрешения прерывания	≤ 125 нс
до выхода чтения $RE1$, выхода готовности	≤ 200 нс
до выхода чтения $RE2$, входа/выхода разрешения чтения	≤ 195 нс
до выхода адреса $A0$	≤ 240 нс
до выхода адреса $A1$	≤ 165 нс
до выхода синхронизации счетчика, входа/выхода записи байта	≤ 195 нс
до входа/выхода синхронизации	≤ 185 нс
до входов/выходов ответа, разрешения записи	≤ 125 нс
Время задержки распространения сигнала от входа/выхода информации до входа записи микроинструкции:	
до выхода готовности	≤ 70 нс

до выхода запроса прерывания	≤ 110 нс
до выхода адреса	≤ 180 нс
Время задержки распространения сигнала	
от входа/выхода ответа:	
до выхода готовности	≤ 145 нс
до выхода адреса	
(ASWB — A0; ASWB — A1)	≤ 115; 120 нс
до выхода записи	≤ 150 нс
до входа/выхода синхронизации	
устройства	≤ 135 нс
Время задержки распространения сигнала	
от входа разрешения прерывания до выхода	
запроса прерывания	≤ 180 нс
Время задержки распространения сигнала	
от входа/выхода разрешения чтения	
до входа/выхода ответа	≥ 50 нс
Время задержки распространения сигнала от входа	
до ответа до выхода разрешения прерывания	
и входа/выхода разрешения чтения	≥ 245 нс
Время задержки распространения сигнала от входа	
до подтверждения выборки до выхода подтверж-	
дения прямого доступа	
	≥ 55 нс
Время задержки распространения сигнала	
от входа разрешения прерывания	
до входа/выхода ответа	≥ 70 нс
Время задержки распространения сигнала	
от входа подтверждения прямого доступа:	
до входа/выхода подтверждения выборки	≥ 50 нс
до входа/выхода запроса прямого доступа	≥ 35 нс
Время задержки распространения сигнала	
от входа запроса прямого доступа до выхода	
подтверждения прямого доступа	≥ 130 нс
Минимальная тактовая частота по входу CLK	10 МГц

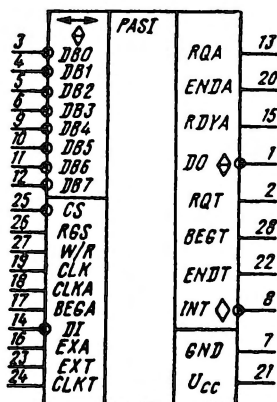
K1802BB3, KP1802BB3

Микросхемы представляют собой программируемый адаптер последовательного интерфейса и предназначены для применения в системах, в которых необходимо прямое и обратное преобразования параллельно-последовательной информации (в накопителях на магнитных дисках, дисплейных системах, системах передачи и приема данных), для построения систем преобразования информации по магистрально-модульному принципу. В состав ИС входят устройства управления передачей; де-

шифратор чтения/записи; регистр передачи; триггер записи в регистре передачи; регистр управления; триггер включения питания; регистр буферной передачи; счетчик передачи; селектор передачи; схема сравнения при передаче; схема формирования контрольного разряда; мультиплексор выходной информации при передаче; регистр состояния; устройство управления приемом; счетчик приема; схема сравнения при приеме; дешифратор приема; регистр буферный приема; регистр приема; мультиплексор приема; устройство выработки прерывания; 7-разрядный регистр.

Содержит 280 интегральных элементов. Корпус типа 2121.28-1, масса не более 4 г, 4119.28-1.

Назначение выводов: 1 — выход последовательной информации \overline{DO} (с тремя состояниями); 2 — выход запроса передачи RQT ; 3...6, 9...12 — входы/выходы информации $\overline{DB0}... \overline{DB7}$ (бинаправленные, с тремя состояниями); 7 — общий; 8 — выход прерывания \overline{INT} (с открытым коллектором) 13 — выход запроса приема RQA ; 14 — вход последовательной информации \overline{DI} ; 15 — выход готовности приема $RDYA$; 16 — вход расширения приема EXA ; 17 — вход начала приема $BEGA$; 18 — вход синхронизации приема $CLKA$; 19 — вход синхронизации CLK ; 20 — выход конца приема $ENDA$; 21 — напряжение питания; 22 — выход конец передачи $ENDT$; 23 — вход расширения передачи EXT ; 24 — вход синхронизации передачи $CLKT$; 25 — вход выборки микросхемы \overline{CS} ; 26 — вход выборки регистра RGS ; 27 — выход управления записью/чтением W/R ; 28 — выход начала передачи $BEGT$.



Условное графическое обозначение KP1802BB3

Электрические параметры

Номинальное напряжение питания	5 В ±5%
Выходное напряжение низкого уровня	≤ 0,5 В
Выходное напряжение высокого уровня	≥ 2,4 В
Ток потребления при $U_n = 5,25$ В	≤ 280 мА
Входной ток низкого уровня	≤ −0,25 мА
Входной ток высокого уровня:	
по входам $\overline{DB0}... \overline{DB7}$	≤ 100 мкА
по остальным входам	≤ 40 мкА

Выходной ток высокого уровня	≤ 100 мкА
Выходной ток высокого уровня в состоянии «выключено»	≤ 100 мкА
Выходной ток низкого уровня в состоянии «выключено»	≤ −100 мкА
Время задержки перехода от входа W/R	
до входов/выходов \overline{DB}	≤ 85 нс
Время задержки распространения сигнала:	
от входа RGS до входов/выходов \overline{DB}	≤ 70 нс
от входа CLK до выходов \overline{INT} , RQA	≤ 95 нс
от входа CLK до выхода RQT	≤ 90 нс
от входа $CLKA$ до выхода $ENDA$	≤ 80 нс
от входа CLK до выхода $RDYA$	≤ 85 нс
от входа $CLKT$ до выхода $BEGT$	≤ 60 нс
от входа $CLKT$ до выхода $ENDT$	≥ 90 нс
от входа $CLKT$ до выхода \overline{DO}	≥ 135 нс
Время задержки перехода:	
от входа $CLKT$ до выхода \overline{DO}	≥ 140 нс
от входа \overline{CS} до выходов/выходов \overline{DB}	≥ 80 нс
Длительность сигнала низкого (высокого) уровня на входе CLK	≥ 50 нс
Время установления сигнала на входах W/R , RGS относительно сигнала на входе CLK	≤ 5 нс
Время установления сигнала на входе CL относительно сигнала на входе CLK	≤ 10 нс
Время сохранения сигнала:	
на входах W/R , RGS относительно сигнала на входе CLK	≥ 5 нс
на входе \overline{CS} относительно сигнала на входе CLK	≥ 10 нс
на входах $\overline{DB0} \dots \overline{DB7}$ относительно сигнала CLK	≥ 20 нс
на входе EXT относительно сигнала на входе $CLKT$	≥ 50 нс
на входе DI относительно сигнала на входе $CLKA$	≥ 40 нс
на входе $BEGA$ относительно сигнала на входе $CLKA$	≥ 10 нс
на входе EXA относительно сигнала на входе $CLKA$	≥ 50 нс
Время установления сигнала:	
на входах $\overline{DB0} \dots \overline{DB7}$ относительно сигнала CLK	≤ 15 нс
на входе EXT относительно сигнала на входе $CLKT$	≤ 10 нс

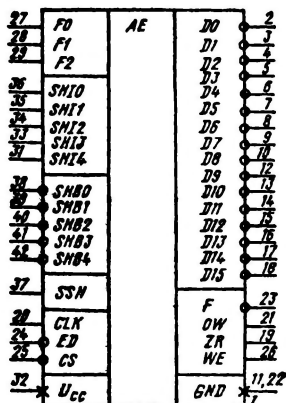
на входах *DI, BEGA* относительно сигнала
 на входе *CLKA* ≤ 20 нс
 на входе *EXA* относительно сигнала
 на входе *CLKA* ≤ 10 нс

Длительность сигнала низкого (высокого) уровня
 на входе *CLKT* ≥ 100 нс
 Длительность сигнала низкого (высокого) уровня
 на входе *CLKA* ≥ 100 нс

K1802BP1, KP1802BP1

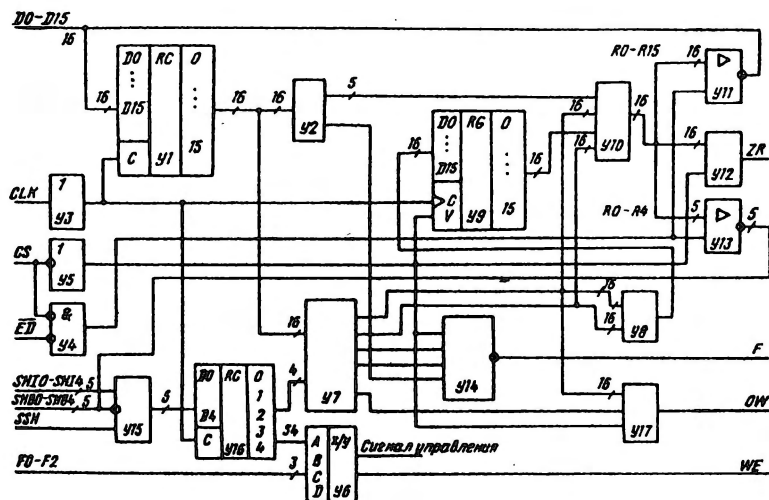
Микросхемы представляют собой арифметический расширитель (16-разрядный вспомогательный блок микропроцессора) и предназначены для реализации устройств, осуществляющих сдвиги арифметические, логические, расширенные влево и вправо, циклические за один цикл на произвольное число разрядов и поиск номера левого единичного бита. Имеют одноктактную схему синхронизации. В состав ИС входят регистр информации *Y1*; узел поиска левой 1 (*Y2*); буферная схема сигнала сигнализации *Y3*; усилитель стробирующего сигнала выдачи данных *Y4*; буферная схема сигнала выбора микросхемы *Y5*; дешифратор микрофункций *Y6*; узел сдвига *Y7*; мультиплексор регистра расширения *Y8*; регистр расширения *Y9*; узел выдачи результата *Y10*; буферная схема выдачи результата *Y11*; схема признака нуля *Y12*; буферная схема параметра сдвига *Y13*; схема выдачи признака *Y14*; мультиплексор параметра сдвига *Y15*; регистр параметра сдвига *Y16*; схема анализа переполнения *Y17*. Содержит 3500 интегральных элементов. Корпус типа 4138.42-3, масса не более 4 г, 2206.42-1, масса не более 6,5 г.

Назначение выводов: 1, 11, 22 — общие; 2...10, 12...18 — входы/выходы информации (бинаправленные, с тремя состояниями) *D0...D15*; 19 — выход признака нуля (открытый коллектор) *ZR*; 20 — вход синхронизации *CLK*; 21 — выход признака перевыполнения (открытый коллектор) *OW*; 23 — выход признака расширения (открытый коллектор) *F*; 24 — вход разрешения выдачи информации *ED*; 25 — вход выбора микросхемы *CS*; 26 — выход разрешения записи результата *WE*; 27...29 — входы кода микрокоманд *F0...F2*;



Условное графическое обозначение KP1802BP1

30 — свободный; 31...36 — входы внешнего параметра сдвига SH14...SH10; 32 — напряжение питания; 37 — вход выбора параметра сдвига SSH; 38...42 — входы/выходы параметра сдвига (бинаправленные, с тремя состояниями) SHB0...SHB4.



Структурная схема KP1802BP1

Электрические параметры

Номинальное напряжение питания	5 В ±5%
Выходное напряжение низкого уровня	≤ 0,5 В
Выходное напряжение высокого уровня	≥ 2,4 В
Ток потребления при $U_n = 5,25$ В	≤ 280 мА
Выходной ток низкого уровня:	
по выводам 2...10, 12...18, 24, 27...29, 31, 33...36, 38...42	≤ −0,4 мА
по выводам 20, 37	≤ −0,25 мА
по выводу 25	≤ −0,8 мА
Входной ток высокого уровня:	
по выводам 24, 27...29, 31...36	≤ 20 мкА
по выводам 20, 25, 37	≤ 40 мкА
Выходной ток высокого уровня в состоянии «выключено»	≤ 100 мкА
Потребляемая мощность	1470 мВт
Время задержки распространения сигнала от входов F2...F0:	

до входов/выходов $\overline{D15}...D0$	≤ 130 нс
до входов/выходов $\overline{SHB4}...SHB0$	≤ 150 нс
до выхода WE	≤ 50 нс
до выхода F	≤ 50 нс
до выходов OW, ZR	≤ 180 нс

Время задержки распространения сигнала
от входов $\overline{SHB14}...SHB10$:

до входов/выходов $\overline{D15}...D0$	≤ 170 нс
до выхода WE	≤ 70 нс
до выходов F, OW	≤ 160 нс
до выхода ZR	≤ 170 нс

Время задержки распространения сигнала
от входов $\overline{SHB4}...SHB0$:

до входов/выходов $\overline{D15}...D0$	≤ 110 нс
до выхода WE	≤ 70 нс
до выхода F	≤ 80 нс
до выхода OW	≤ 150 нс
до выхода ZR	≤ 170 нс

Время задержки распространения сигнала
от входа \overline{SSH} :

до входов/выходов $\overline{D15}...D0$, до выхода ZR ..	≤ 180 нс
до выхода WE	≤ 80 нс
до выхода F, OW	≤ 170 нс

Время задержки распространения сигнала
от входов/выходов $\overline{D15}...D0$:

до входов/выходов $\overline{D15}...D0$	≤ 100 нс
до входов/выходов $\overline{SHB4}...SHB0$	≤ 110 нс
до выхода F	≤ 160 нс
до выхода OW	≤ 170 нс
до выхода ZR	≤ 120 нс

Время перехода из состояния низкого (высокого)

уровня в состояние «выключено» и из состояния

«выключено» в состояние низкого (высокого)

уровня от входа \overline{ED} до входов/выходов $\overline{D15}...D0$,

$\overline{SHB4}...SHB0$
 ≤ 70 нс |

Время перехода из состояния низкого (высокого)

уровня в состояние «выключено» и из состояния

«выключено» в состояние низкого (высокого)

уровня от входа \overline{CS} до входов/выходов $\overline{D15}...D0$,

$\overline{SHB4}...SHB0$
 ≤ 70 нс |

Время задержки распространения сигнала от входа

\overline{CS} до выходов F, OW, ZR
 ≤ 60 нс |

Входная и выходная емкость:

по выводам $20, 24, 25, 27...29, 31, 33...42$
 ≤ 10 пФ |

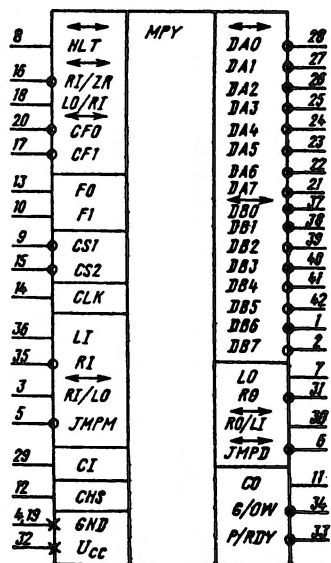
по выводам $2...10, 12...19, 21, 23, 26$
 ≤ 15 пФ |

K1802BP2, KP1802BP2

Микросхемы представляют собой последовательный умножитель/делитель 8×8 разрядов и предназначены для построения устройств умножения и деления двоичных кодов и устройств умножения чисел, представленных в дополнительном коде. Выполняют следующие операции: умножение 8-разрядных целых чисел, представленных в дополнительном коде; умножение 8-разрядных кодов; деление кодов; загрузку

старшего слова делимого; чтение результата. В состав ИС входят регистры Y1, Y7, Y12; мультиплексоры Y2, Y9, Y10; сумматор Y11; устройство управления Y17; выходные буферные схемы выдачи результата по магистралям A и B, Y6 и Y13; схема выдачи анализируемых разрядов Y22; схема выдачи признаков Y8; регистр инструкции Y20. Содержат 2995 интегральных элементов. Корпус типа 4138.42-3, масса не более 4 г, 2206.42-1, масса не более 6,5 г.

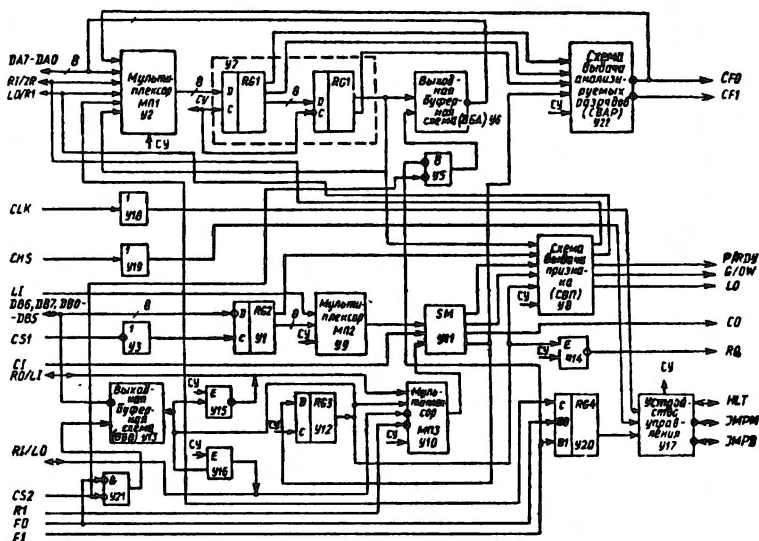
Назначение выводов: 1, 2, 37...42 — входы/выходы информации DB6, DB7, DB0...DB5; 3 — вход/выход 7 разряда (бинаправленный с тремя состояниями) $\overleftarrow{RI}/\overrightarrow{LO}$; 4, 19 — общие; 5 — выход для запуска счетчика циклов при умножении, вход для запуска счетчика циклов при делении



Условное графическое обозначение KP1802BP2

с тремя состояниями) $\overleftarrow{RI}/\overrightarrow{LO}$; 6 — выход для запуска счетчика циклов при делении, вход для запуска счетчика циклов при умножении (бинаправленный, с тремя состояниями) \overleftarrow{JMPD} ; 7 — выход 7 разряда, выдача 1 или 0, выход признака знака LO; 8 — вход/выход сигнала «останов» (бинаправленные шины с открытым коллектором) \overleftarrow{HLT} ; 9, 15 — входы выбора микросхемы CS1, CS2; 10, 13 — входы микроинструкций F1, F0; 11 — выход переноса C0; 12 — вход определения старшего кристалла CHS; 14 — вход синхронизации CLK; 16 — вход/выход 6 разряда RG1/выход признака нуля (бинаправленные шины с открытым коллектором) $\overleftarrow{RI}/\overrightarrow{ZR}$; 17, 20 — входы/выходы сигналов управления микрооперациями (бинаправленные, с тремя состояниями) $\overleftarrow{CF1}, \overleftarrow{CF0}$; 21...28 — входы/

выходы информации $\overline{DA7} \dots \overline{DA0}$; 29 — вход переноса CI ; 30 — выход разряда 1 $RG3$ /вход разряда 0 $RG3$ (бинаправленные, с тремя состояниями) $\overline{R0/L1}$; 31 — выход разряда 0 $RG3$ (с тремя состояниями) $\overline{R0}$; 32 — напряжение питания; 33 — выход распространения переноса/выход признака «готов» $\overline{P/RDY}$; 34 — выход генерации переноса/выход переполнения $\overline{G/OW}$; 35 — вход 6 разряда $RG3$, $\overline{R1}$; 36 — вход 0 разряда $RG2$, $\overline{L1}$.



Структурная схема KP1802BP2

Электрические параметры

Номинальное напряжение питания	5 В ±5%
Выходное напряжение низкого уровня	≤ 0,5 В
Выходное напряжение высокого уровня	≥ 2,4 В
Ток потребления при $U_n = 5,25$ В	≤ 300 мА
Входной ток низкого уровня:	
по выводам 3, 12, 14, 29, 35	≤ −0,25 мА
по выводам 1, 2, 37...42	≤ −0,4 мА
по выводам 9, 17, 20	≤ −2 мА
по выводам 10, 13, 16, 18, 21...28, 36	≤ −0,45 мА
по выводам 15, 30	≤ −0,5 мА
по выводу 6	≤ −0,8 мА
по выводу 5	≤ −1,3 мА
по выводу 8	≤ −1,5 мА

Входной ток высокого уровня:

по выводам 12, 14, 29, 35	≤ 40 мкА
по выводам 10, 13, 15, 36	≤ 80 мкА
по выводу 9	≤ 140 мкА

Выходной ток высокого уровня:

по выводам 16, 18, 31	≤ 100 мкА
по выводу 8	≤ 200 мкА

Потребляемая мощность 1575 мВт

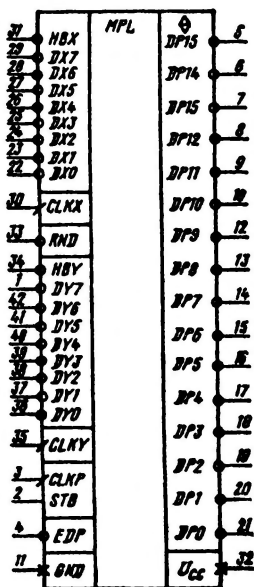
Время задержки распространения сигнала:

от входа выбора микросхемы до выхода распространения переноса	≤ 60 нс
от входа синхронизации до выходов 0 и 1 разрядов	≤ 90 нс
от входа синхронизации до выхода 7 разряда	≤ 85 нс

Время перехода из состояния «выключено» в состояние низкого (высокого) уровня и из состояния низкого (высокого) уровня в состояние «выключено»

от входа выбора микросхемы до входов/выходов информации ≤ 35 нс

К1802ВРЗ, КР1802ВРЗ

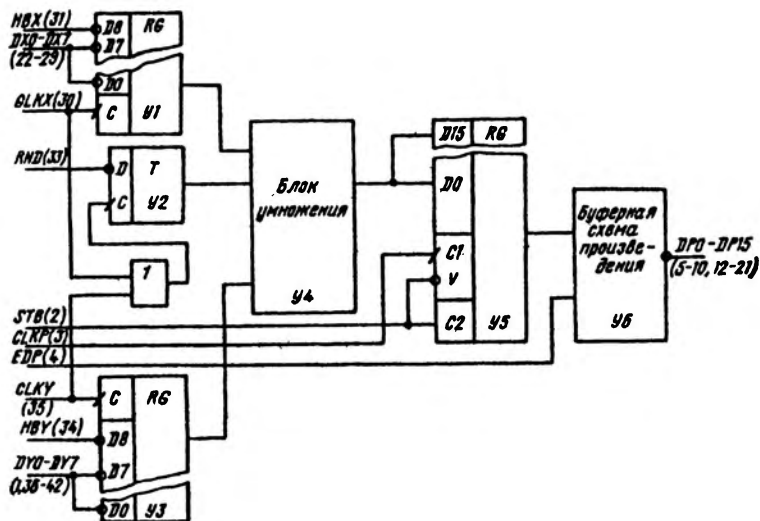


Условное графическое обозначение КР1802ВРЗ

Микросхемы представляют собой биполярный быстродействующий параллельный умножитель 8 × 8 разрядов и предназначены для умножения двух восьмиразрядных чисел без знака или со знаком, представленных в дополнительном коде или смешанных кодах. На выходе вырабатывается произведение двойной точности — 16 разрядов, которое может быть округлено до 8 разрядов (не включая знаковый разряд). При умножении чисел со знаком в дополнительном коде произведение получается в дополнительном коде. ИС являются устройством модульного типа, обеспечивающего построение умножителей с любой разрядностью операндов, могут использоваться для построения быстродействующих процессоров цифровой обработки сигналов, реализующих преобразование Фурье, цифровую фильтрацию, в универсальных ЭВМ. В состав ИС входят: регистр множимого для

хранения разрядов множимого $X7...X0$ и управляющего сигнала NBX , триггер округления, схемы ИЛИ, регистр множителя для хранения разрядов множимого $Y7...Y0$ и управляющего сигнала NBY , блок умножения, регистр произведения для хранения 16-разрядного произведения), буферная схема произведения (выходной каскад с тремя состояниями).

Содержат 4500 интегральных элементов Корпус типа 4138.42-3, 2206.42-1, масса не более 6,5 г.



Структурная схема KP1802BP3

Назначение выводов: 1, 36...42 — входы множителей разряды 7, 0...6 $DY7, DY0...DY6$; 2 — вход управления записью в регистр произведения STB ; 3 — вход записи в регистр произведения $CLKP$; 4 — вход управления буферной схемой произведения EDP ; 5...10 — выходы произведения, разряды 15...10 $DP15...DP10$; 11 — общий; 12...21 — выходы произведения, разряды 9...0 $DP9...DP0$; 22...29 — входы множимых, разряды 0...7 $DX0...DX7$; 30, 35 — входы записи в регистр множимого и множителя $CLKX, CLKY$; 31, 34 — входы знака старшего разряда множимого и множителя NBX, NBV ; 32 — напряжение питания; 33 — вход округления RND .

Электрические параметры

Номинальное напряжение питания 5 В $\pm 5\%$
 Выходное напряжение низкого уровня $\leq 0,5$ В

Выходное напряжение высокого уровня	$\geq 2,4$ В
Ток потребления при $U_{п}=5,25$ В	≤ 270 мА
Входной ток низкого уровня:	
по выводам 1, 2, 23...29, 31, 33, 34, 36...42	$\leq -0,4 $ мА
по выводам 4, 22	$\leq -0,25 $ мА
по выводам 3, 30, 35	$\leq -0,8 $ мА
Входной ток высокого уровня:	
по выводам 1, 2, 23...29, 31, 33, 34, 36...42	≤ 20 мкА
по выводам 3, 4, 22, 30, 35	≤ 40 мкА
Выходной ток высокого уровня в состоянии «выключено»	
	≤ 100 мкА
Выходной ток низкого уровня в состоянии «выключено»	
	$\leq -100 $ мкА
Потребляемая мощность	1418 мВт
Время задержки распространения сигнала:	
от входа записи в регистры сомножителей до выходов произведения	≤ 140 нс
от входа записи в регистр произведения до выходов произведения	≤ 50 нс
от входа управления записью до выходов произведения	≤ 50 нс
Время задержки перехода от входа управления буферной схемой произведения до выходов произведения	
	≤ 50 нс
Время сохранения сигнала на входах $D\bar{X}$ и $\overline{HB\bar{X}}$, $D\bar{Y}$ и $\overline{HB\bar{Y}}$ ($\overline{R\bar{N}D}$) относительно сигналов $CLKX$, $CLKY$	
	≥ 60 нс
Время установления сигнала:	
на входах $CLKX$, $CLKY$ относительно сигнала на входе $CLKP$ (время цикла)	≤ 115 нс
на входах $CLKX$, $CLKY$ относительно отрицательного фронта импульса на входе STB	≤ 135 нс
на входах $D\bar{X}$ и $\overline{HB\bar{X}}$, $D\bar{Y}$ и $\overline{HB\bar{Y}}$ ($\overline{R\bar{N}D}$) относительно сигнала на входах $CLKX$, $CLKY$	≤ 15 нс
Длительность сигнала высокого (низкого) уровня на входах $CLKX$, $CLKY$, $CLKP$	
	≥ 35 нс
Емкость по входам	≤ 10 пФ
Емкость по выходам	≤ 15 пФ

К1802ВР4, КМ1802ВР4

Микросхемы представляют собой параллельный умножитель 12×2 разрядов (быстродействующее комбинационное устройство) и предназначены для умножения 12-разрядных операндов, каждый из которых может быть либо кодом (числом без

знака), либо числом со знаком. В последнем случае такой операнд представляется в дополнительном коде. Числа могут быть, как целыми, так и меньше 1. На выходе множителя вырабатывается произведение двойной точности (24 разряда), которое может быть округлено до 12 разрядов, включая знаковый разряд. При умножении чисел со знаком в дополнительном коде произведение получается в дополнительном коде. При действиях над числами со знаком предусмотрена возможность присвоения знака произведения младшей части произведения. Множитель является устройством модульного типа, обеспечивающим построение умножителей с любой разрядностью операндов. ИС могут быть использованы для построения быстродействующих процессоров цифровой обработки сигналов, реализующих алгоритмы быстрого преобразования Фурье, цифровую фильтрацию, для применения в специализированных и универсальных ЭВМ.

В состав ИС входят регистр множимого (регистр *X*), регистр множителя (регистр *Y*), триггер округления, блок умножения, сдвигатель, регистры младшей и старшей части произведения и выходные буферные каскады младшей и старшей частей произведения.

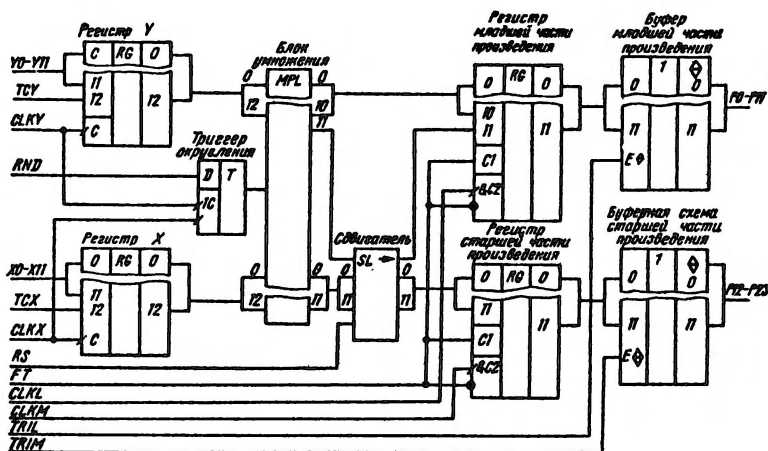
Содержат 11 998 интегральных элементов. Корпус типа 2136.64-1, масса не более 20 г, 4209.68-1.

Назначение выводов: 1...8, 61...64 — входы множимого разряды 7...0, 11...8 *X7*...*X0*, *X11*...*X8*; 9...20, 29...40 — выходы произведения разряды 0...11, 12...23 *P0*...*P11*, *P12*...*P23*; 21, 22 — входы управления выходными буферными каскадами младшей части произведения, старшей части произведения *TRIL*, *TRIM*; 23, 24 — общие; 25 — вход управления прозрачностью регистров произведения *FT*; 26 — вход управления сдвигом вправо старшей части произведения *RS*; 27, 28 — входы синхронизации регистра младшей части произведения, регистра старшей части произведения *CLKL*, *CLKM*; 41, 57 — входы

41	<i>TCY</i>	<i>MPY</i>		
42	<i>Y11</i>			
43	<i>Y10</i>			
44	<i>Y9</i>			
45	<i>Y8</i>			
46	<i>Y7</i>			
47	<i>Y6</i>		<i>P23</i>	40
47	<i>Y5</i>		<i>P22</i>	39
47	<i>Y4</i>		<i>P21</i>	38
47	<i>Y3</i>		<i>P20</i>	37
46	<i>Y2</i>		<i>P19</i>	36
45	<i>Y1</i>		<i>P18</i>	35
45	<i>Y0</i>		<i>P17</i>	34
59	<i>CLKY</i>		<i>P16</i>	33
58	<i>RND</i>		<i>P15</i>	32
57	<i>TCX</i>		<i>P14</i>	31
61	<i>X11</i>		<i>P13</i>	30
62	<i>X10</i>		<i>P12</i>	29
63	<i>X9</i>			
64	<i>X8</i>		<i>P11</i>	20
7	<i>X7</i>		<i>P10</i>	19
2	<i>X6</i>		<i>P9</i>	18
7	<i>X5</i>		<i>P8</i>	17
4	<i>X4</i>		<i>P7</i>	16
5	<i>X3</i>		<i>P6</i>	15
8	<i>X2</i>		<i>P5</i>	14
7	<i>X1</i>		<i>P4</i>	13
8	<i>X0</i>		<i>P3</i>	12
60	<i>CLKX</i>		<i>P2</i>	11
27	<i>CLKL</i>		<i>P1</i>	10
28	<i>CLKM</i>		<i>P0</i>	9
25	<i>FT</i>			
26	<i>RS</i>		<i>Ucc</i>	48-50
21	<i>TRIL</i>			
22	<i>TRIM</i>		<i>GND</i>	23,24

Условное графическое обозначение КМ1802BP4

знака весового коэффициента старшего разряда множителя TCX и множимого TCY ; 42...47, 51...56 — входы множителя, разряды 11...6, 5...0 $Y_{11}...Y_6$, $Y_5...Y_0$; 48...50 — напряжение питания; 58 — вход знака весового округления RND ; 59 — вход синхронизации регистра множителя $CLKY$; 60 — вход синхронизации регистра множимого $CLKX$.



Структурная схема KM1802BP4

Электрические параметры

Номинальное напряжение питания	5 В ±5%
Выходное напряжение низкого уровня	≤ 0,5 В
Выходное напряжение высокого уровня	≥ 2,4 В
Ток потребления при $U_n = 5,25$ В	≤ 600 мА
Входной ток низкого уровня при $U_n = 5,25$ В, $U_{вх}^0 = 0,5$ В:	
по выводам 1...8, 25, 42...47, 51...56, 58, 61...64	≤ −0,4 мА
по выводам 21, 22, 26...28, 41, 57, 59, 60	≤ −1 мА
Входной ток высокого уровня при $U_n = 5,25$ В, $U_{вх}^1 = 5,25$ В	≤ 75 мА
Выходной ток низкого уровня в состоянии «выключено»	≤ −100 мкА
Выходной ток высокого уровня в состоянии «выключено»	≤ 100 мкА
Потребляемая мощность	≤ 3,15 Вт

Время задержки распространения сигнала:

- от входов *CLKX, CLKY* до выходов *P* ≤ 145 нс
- от входов *CLKM, CLKL* до выходов *P* ≤ 35 нс
- от входа *RS* до выходов *P* с округлением
произведения ≤ 140 нс
- от входа *RS* до выходов *P* без округления
произведения ≤ 70 нс
- от входа *FT* до выхода произведения ≤ 80 нс

Длительность сигнала высокого (низкого) уровня
на входах *CLKX, CLKY, CLKM, CLKL* ≥ 25 нс

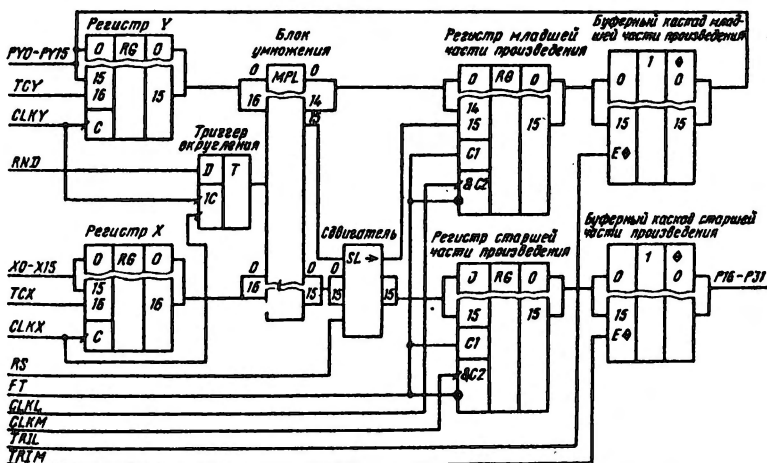
Время установления сигнала на входах *X, TCX, Y, TC, Y* и *RND* относительно сигнала на входах
CLKX, CLKY $\geq |-25|$ нс

Время установления сигнала на входах *CLKX, CLKY* (время цикла) $\geq |-100|$ нс

Время сохранения сигнала на входах *X, TCX, Y, TC, Y* и *RND* относительно сигнала на входах
CLKX, CLKY ≥ 0 нс

K1802BP5, KM1802BP5

Микросхемы представляют собой параллельный умножитель 16×16 разрядов (комбинационное устройство для умножения 16-разрядных операндов). Каждый из операндов может быть либо кодом (числом без знака), либо числом со знаком.



Структурная схема KM1802BP5

50	ТСУ	МПУ		
24	РУ15			
10	РУ7			
9	РУ0			
8	СЛКУ		Р31	40
52	РНД		Р30	39
51	ТСХ		Р29	38
54	X15		Р28	37
55	X14		Р27	36
56	X13		Р26	35
57	X12		Р25	34
58	X11		Р24	33
59	X10		Р23	32
60	X9		Р22	31
61	X8		Р21	30
62	X7		Р20	29
63	X6		Р19	28
64	X5		Р18	27
1	X4		Р17	26
2	X3		Р16	25
3	X2			
4	X1			
5	X0			
53	СЛХХ			
7	СЛКЛ			
41	СЛКМ			
44	FT			
43	RS			
8	TRIL		UCC	40, 49
42	TRIM		OND	45-47

Условное графическое обозначение KM1802BP5

В последнем случае такой операнд представляется в дополнительном коде. Числа могут быть как целыми, так и меньше 1. На выходе умножителя вырабатывается произведение двойной точности (32 разряда), которое может быть округлено до 16 разрядов, включая знаковый разряд. При умножении чисел со знаком в дополнительном коде произведение получается в дополнительном коде. При действиях над числами со знаком предусмотрена возможность присвоения знака произведения младшей части произведения. ИС является устройством модульного типа, обеспечивающим построение умножителей с любой разрядностью операндов. Предназначена для построения быстродействующих процессоров цифровой обработки сигналов, реализующих алгоритмы быстрого преобразования Фурье, цифровую фильтрацию, для применения в специализированных и универсальных цифровых ЭВМ.

В состав ИС входят регистр множимого (регистр X), регистр множителя (регистр Y), триггер округления, блок умножения, сдвигатель, регистры младшей и старшей частей

произведения и выходные буферные каскады младшей и старшей частей произведения.

Содержат 15 906 интегральных элементов. Корпус типа 2136.64-1, масса не более 2 г, 4209.68-1.

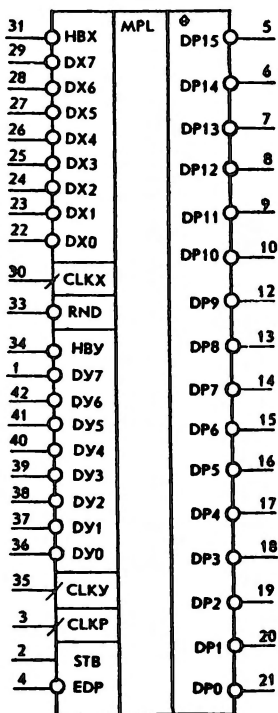
Назначение выводов: 1...5, 54...64 — входы множимого, разряды 4...0, 15...5 X4...X0, X15...X5; 6, 42 — входы управления выходными буферными каскадами младшей части произведения, старшей части произведения TRIL, TRIM; 7 — вход синхронизации регистра младшей части произведения, CLKL; 8 — вход синхронизации регистра множителя CLKY; 9...24 — выходы произведения, входы множителя разряды 0...15 PY0...PY15; 25...40 — выходы произведения, разряды 16...31 P16...P31; 41 — вход синхронизации регистра CLKM; 43 — вход управления сдвигом вправо старшей части произведения RS; 44 — вход управления «про-

зрачностью» регистров произведения *FT*; 45...47 — общие; 48, 49 — напряжение питания; 50, 51 — входы знака весового коэффициента старшего разряда множителя и множимого *TCY*, *TCX*; 52 — вход округления *RND*; 53 — вход синхронизации регистра множимого *CLKX*.

Электрические параметры

Номинальное напряжение питания	5 В ± 5%
Выходное напряжение низкого уровня	≤ 0,5 В
Выходное напряжение высокого уровня	≥ 2,4 В
Ток потребления при $U_{п} = 5,25$ В	≤ 800 мА
Входной ток низкого уровня:	
по выводам 1...5, 9...24, 44, 50...52, 54...64	≤ −0,4 мА
по выводам 6, 7, 41...43, 53	≤ −1 мА
по выводу 8	≤ −2 мА
Входной ток высокого уровня:	
по выводам 1...5, 44, 50...52, 54...64	≤ 75 мкА
по выводам 6, 7, 41...43, 53, 9...24	≤ 175 мкА
по выводу 8	≤ 150 мкА
Выходной ток низкого уровня в состоянии «выключено»	≤ −100 мкА
Выходной ток высокого уровня в состоянии «выключено»	≤ 100 мкА
Время задержки распространения сигнала:	
от входов <i>CLKY</i> , <i>CLKX</i> до выходов <i>P</i>	≤ 175 нс
от входов <i>CLKM</i> , <i>TRIM</i> до выходов <i>P</i>	≤ 35 нс
от входов <i>TRIL</i> , <i>CLKL</i> до выходов <i>PY</i>	≤ 35 нс
от входа <i>RS</i> до выходов <i>P</i> с округлением произведения	≤ 165 нс
от входа <i>RS</i> до выходов <i>P</i> без округления произведения	≤ 60 нс
от входа <i>FT</i> до выходов произведения	≤ 100 нс
Длительность сигнала высокого (низкого) уровня на входах <i>CLKX</i> , <i>CLKY</i> , <i>CLKM</i> , <i>CLKL</i>	≥ 30 нс
Время установления сигнала на входах <i>X</i> , <i>TCX</i> , <i>Y</i> , <i>TCY</i> , <i>RND</i> относительно сигнала на входах <i>CLKX</i> , <i>CLKY</i>	≥ −30 нс
Время установления сигнала на входах <i>CLKX</i> , <i>CLKY</i> относительно сигнала на входах <i>CLKM</i> , <i>CLKY</i> (время цикла)	≥ −140 нс
Время сохранения сигнала на входах <i>X</i> , <i>TCX</i> , <i>Y</i> , <i>TCY</i> , <i>RND</i> относительно сигналов на входах <i>CLKX</i> , <i>CLKY</i>	≥ 0 нс

КР1802ВР6



Условное графическое обозначение КР1802ВР6

Микросхема представляет собой схему 8-разрядного умножителя параллельного типа и предназначена для умножения двух 8-разрядных чисел как без знака, так и со знаком, представленных в дополнительном коде (в том числе смешанных чисел).

Корпус типа 2206.42-1, масса не более 6,5 г.

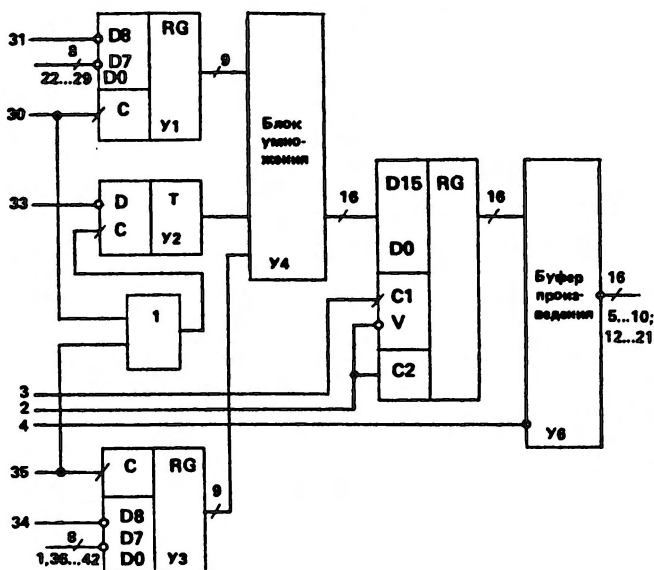
Назначение выводов: 1, 36...42 — входы множителя, разряды 0...7 $\overline{DY7}$, $\overline{DY0}$... $\overline{DY6}$; 2 — вход управления записью в регистр произведения \overline{STB} ; 3, 30, 35 — входы записи в регистр произведения множимого, множителя \overline{CLKP} , \overline{CLKX} , \overline{CLKY} ; 4 — вход управления буфером произведения \overline{EDP} ; 5...10, 12...21 — выход произведения разряды 15...10, 9...0 $\overline{DP15}$... $\overline{DP10}$, $\overline{DP9}$... $\overline{DP0}$; 11 — общий; 22...29 — входы множимого, разряды 0...7, $\overline{DX0}$... $\overline{DX7}$; 31, 34 — входы знака старшего разряда множимого, множителя \overline{HBX} , \overline{HBV} ; 32 — напряжение питания; 33 — вход округления \overline{RND} .

Электрические параметры

Номинальное напряжение питания	5 В ± 5%
Выходное напряжение низкого уровня	≤ 0,5 В
Выходное напряжение высокого уровня	≥ 2,4 В
Входной ток низкого уровня:	
по выводам 1, 2, 22, 23...29, 31, 33, 34, 36...42	≤ −0,4 мА
по выводам 3, 4, 30, 35	≤ −0,8 мА
Входной ток высокого уровня	≤ 40 мкА
Выходной ток низкого уровня в состоянии «выключено»	
	≤ −0,1 мА
Выходной ток высокого уровня в состоянии «выключено»	
	≤ 0,1 мА

Потребляемая мощность ≤ 1575 мВт

Время задержки распространения сигнала ≤ 40 нс



Функциональная схема КР1802ВР6

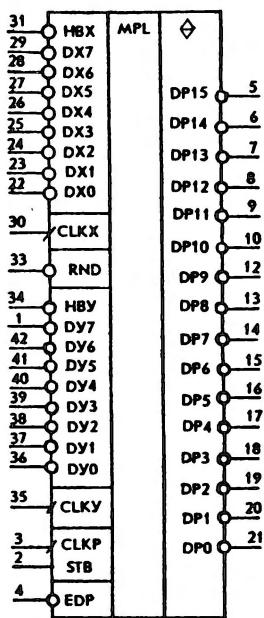
К1802ВР7, КР1802ВР7

Микросхемы представляют собой схему параллельного умножителя 8×8 разрядов и предназначены для умножения двух 8-разрядных чисел как без знака, так и со знаком, представленных в дополнительном коде или смешанных. Содержат 4042 интегральных элемента.

Корпус типа 4138.42-3, 2206.42-1, масса не более 6,5 г.

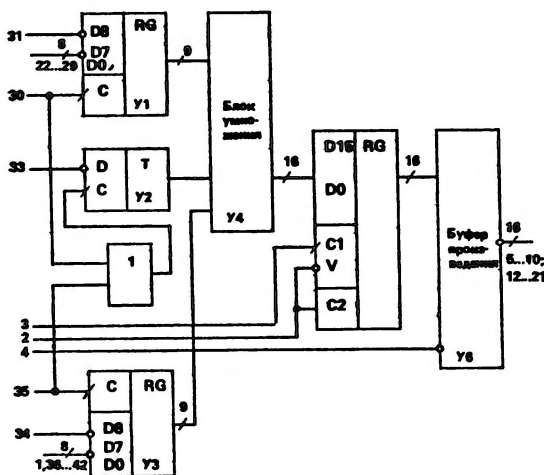
Назначение выводов: 1, 36...42 — входы множителя, разряды $0...7 \overline{DY}_7, \overline{DY}_0... \overline{DY}_6$; 2 — вход управления записью в регистр произведения STB ; 3, 30, 35 — входы записи в регистр произведения множимого, множителя $CLKP, CLKX, CLKY$; 4 — вход управления буфером произведения \overline{EDP} ; 5...10, 12...21 — выход произведения, разряды 15...10, 9...0 $\overline{DP}_{15}... \overline{DP}_{10}, \overline{DP}_9... \overline{DP}_0$; 11 — общий; 22...29 — входы множимого, разряды $0...7 \overline{DX}_0... \overline{DX}_7$; 31, 34 — входы знака старшего разряда множимого, множителя $\overline{NBX}, \overline{NBY}$; 32 — напряжение питания; 33 — вход округления \overline{RND} .

Электрические параметры



Условное графическое обозначение КР1802BP7

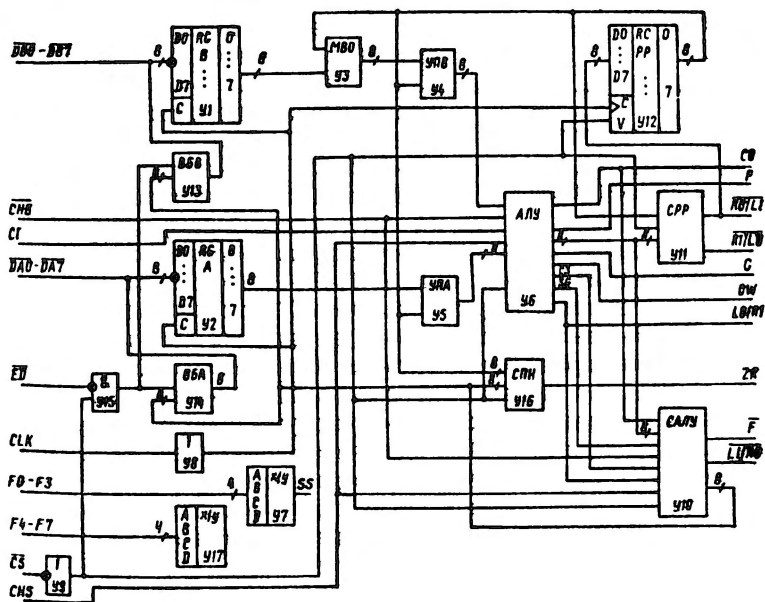
- Номинальное напряжение питания 5 В ±5%
- Выходное напряжение низкого уровня ≤ 0,5 В
- Выходное напряжение высокого уровня ≥ 2,4 В
- Входной ток низкого уровня:
- по выводам 1, 2, 22, 23...29, 31, 33, 34, 36...42 ≤ |−0,4| мА
 - по выводам 3, 4, 30, 35 ≤ |−0,8| мА
- Входной ток высокого уровня ≤ 40 мкА
- Выходной ток низкого уровня в состоянии «выключено» ≤ |−0,1| мА
- Выходной ток высокого уровня в состоянии «выключено» ≤ 0,1 мА
- Потребляемая мощность ≤ 1418 мВт
- Время задержки распространения сигнала ≤ 50 нс



Структурная схема КР1802BP7

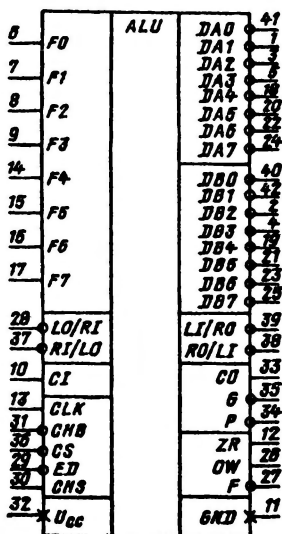
K1802BC1, KP1802BC1

Микросхемы представляют собой 8-разрядную наращиваемую микропроцессорную секцию устройства обработки данных и предназначены для выполнения арифметического сложения и вычитания в дополнительном коде; логических операций конъюнкции, дизъюнкции, инверсии и сложения по модулю 2; арифметических, логических и циклических сдвигов вправо и влево на 1 разряд. При выполнении этих операций возможно производить многочисленные операции маскирования содержимым регистра, расширения отдельных разрядов входных данных. По результату операции вырабатываются признаки равенства нулю результата и признак перевыполнения (в операциях сложения, вычитания и сдвига влево). При соединении нескольких ИС можно производить последовательный и ускоренный перенос, операции обработки байтов, широкий набор операций сдвигов, включая и расширенные сдвиги, т. е. сдвиг двойного слова совместно с регистром расширения без внешних дополнительных схем с выработкой признаков результата только в выбранных кристаллах.



Структурная схема KP1802BC1

В состав ИС входят регистр данных В (Y1), регистр данных А (Y2), мультиплексор выбора операнда (Y3), узел подготовки данных В (Y4), узел подготовки данных А (Y5), арифметико-логическое устройство (Y6), дешифратор микрофункций операции (Y7), буферная схема синхронизации (Y8), буферная схема сигнала выбора микросхемы (Y9), сдвигатель арифметико-логического устройства (Y10), сдвигатель регистра расширения (Y11), регистр расширения (Y12), выходной буферный каскад В (Y13), выходной буферный каскад А (Y14), вентиль стробирующего сигнала выдачи данных (Y15), схема признака нуля (Y16), дешифратор микрофункций модификации (Y17). Содержат 2800 интегральных элементов. Корпус типа 4138.42-3, 2206.42-1, масса не более 6,5 г.



Условное графическое обозначение КР1802BC1

Назначение выводов: 1, 3, 5, 18, 20, 22, 24, 41 — входы/выходы информации А, разряды 0...7 $\overline{DA1}...DA7$, $\overline{DA0}$; 2, 4, 19, 21, 23, 25, 40, 42 — входы/выходы информации В, разряды 0...7, $\overline{DB2}...DB7$, $\overline{DB0}$, $\overline{DB1}$; 6...9, 14...17 — входы кода микрокоманды, разряды 0...7, $F0...F7$; 10 — вход переноса \overline{CI} ; 11 — общий 12 — выход признака равенства нуля результата (с открытым коллектором) \overline{ZR} ; 13 —

вход синхронизации \overline{CLK} ; 26 — выход признака перевыполнения (с открытым коллектором) \overline{OW} ; 27 — выход выдвигаемых разрядов АЛУ или выходного переноса \overline{CO} (с открытым коллектором) \overline{F} ; 28 — выход сдвига влево, вход сдвига вправо сдвигателя АЛУ (бинаправленный, с тремя состояниями) $\overline{LO/RI}$; 29 — вход разрешения выдачи информации \overline{ED} ; 30 — вход выборки старшего кристалла \overline{CHS} ; 31 — вход управления инверсией старшего разряда \overline{CHB} ; 32 — напряжение питания; 33 — выход переноса \overline{CO} ; 34 — выход распространения переноса \overline{P} ; 35 — выход генерации переноса \overline{G} ; 36 — вход выборки кристалла \overline{CS} ; 37 — вход сдвига вправо/выход сдвига влево сдвигателя регистра расширения (бинаправленный, с тремя состояниями) $\overline{RI/LO}$; 38 — выход сдвига вправо/вход сдвига влево сдвигателя арифметико-логического устройства (бинаправленный, с тремя состояниями) или перенос из третьего разряда АЛУ $\overline{RO/LI}$; 39 —

вход синхронизации \overline{CLK} ; 26 — выход признака перевыполнения (с открытым коллектором) \overline{OW} ; 27 — выход выдвигаемых разрядов АЛУ или выходного переноса \overline{CO} (с открытым коллектором) \overline{F} ; 28 — выход сдвига влево, вход сдвига вправо сдвигателя АЛУ (бинаправленный, с тремя состояниями) $\overline{LO/RI}$; 29 — вход разрешения выдачи информации \overline{ED} ; 30 — вход выборки старшего кристалла \overline{CHS} ; 31 — вход управления инверсией старшего разряда \overline{CHB} ; 32 — напряжение питания; 33 — выход переноса \overline{CO} ; 34 — выход распространения переноса \overline{P} ; 35 — выход генерации переноса \overline{G} ; 36 — вход выборки кристалла \overline{CS} ; 37 — вход сдвига вправо/выход сдвига влево сдвигателя регистра расширения (бинаправленный, с тремя состояниями) $\overline{RI/LO}$; 38 — выход сдвига вправо/вход сдвига влево сдвигателя арифметико-логического устройства (бинаправленный, с тремя состояниями) или перенос из третьего разряда АЛУ $\overline{RO/LI}$; 39 —

вход сдвига влево/выход сдвига вправо сдвигателя арифметико-логического устройства (бинаправленный, с тремя состояниями) или перенос из третьего разряда АЛУ \overline{LI}/RO .

Электрические параметры

Номинальное напряжение питания	5 В ± 5%
Выходное напряжение низкого уровня	≤ 0,5 В
Выходное напряжение высокого уровня	≥ 2,4 В
Ток потребления при $U_{п}=5,25$ В	≤ 280 мА
Входной ток низкого уровня:	
по выводам 1...6, 13, 18...25, 28, 40...42	≤ −0,25 мА
по выводам 7...9, 15...17	≤ −0,5 мА
по выводу 14	≤ −0,75 мА
по выводам 30, 36	≤ −0,4 мА
по выводам 31, 37...39	≤ −1 мА
по выводу 10	≤ −1,6 мА
по выводу 28	≤ −2 мА
Входной ток высокого уровня:	
по выводам 6, 10, 13, 29, 30, 36	≤ 40 мкА
по выводам 7...9, 15...17, 31	≤ 80 мкА
по выводу 14	≤ 120 мкА
Выходной ток высокого уровня	≤ 100 мкА
Выходной ток низкого уровня в состоянии «выключено»:	
по выводам 1...5, 18...25, 40...42	≤ 100 мкА
по выводам 28, 37...39	≤ 250 мкА
Время задержки распространения сигнала от входов F7...F0:	
до выхода CO	≤ 110 нс
до входов/выходов $\overline{DA7}...DA0, \overline{DB7}...DB0$	≤ 150 нс
до выходов $\overline{P}, \overline{G}$	≤ 130 нс
до входов/выходов $\overline{LI}/RO, \overline{LO}/RI$	≤ 120 нс
до входов/выходов $\overline{RI}/LO, \overline{RO}/LI$	≤ 70 нс
до выходов OW, \overline{F}	≤ 140 нс
до выхода ZR	≤ 150 нс
Время задержки распространения сигнала от входов/выходов $\overline{DA7}...DA0, \overline{DB7}...DB0$:	
до выходов CO, $\overline{P}, \overline{G}$	≤ 120 нс
до входов/выходов $\overline{DA7}...DA0, \overline{DB7}...DB0$	≤ 130 нс
до входов/выходов $\overline{LI}/RO, \overline{LO}/RI$	≤ 120 нс
до выхода OW	≤ 130 нс
до выхода \overline{F}	≤ 125 нс
до выхода ZR	≤ 150 нс

Время задержки распространения сигнала

от входа CI :

до выхода CO	≤ 30 нс
до входов/выходов $\overline{DA7}...DA0, \overline{DB7}...DB0$	≤ 90 нс
до входов/выходов $\overline{LO}/RI, \overline{LI}/RO$	≤ 85 нс
до выходов OW, \overline{F}	≤ 90 нс
до выхода ZR	≤ 100 нс

Время задержки распространения сигнала

от входа CHS :

до входов/выходов $\overline{DA7}...DA0, \overline{DB7}...DB0,$ \overline{LO}/RI	≤ 60 нс
до выходов OW, \overline{F}	≤ 50 нс
до выхода ZR	≤ 65 нс

Время задержки распространения сигнала

от входов/выходов $\overline{LI}/RO, \overline{LO}/RI$:

до входов/выходов $\overline{DA7}...DA0, \overline{DB7}...DB0$	≤ 32 нс
до выхода \overline{F}	≤ 30 нс
до выхода ZR	≤ 35 нс

Время задержки распространения сигнала от вхо-

дов/выходов $\overline{RO}/LI, \overline{RI}/LO$ до $\overline{RI}/LO, \overline{RO}/LI$

Время задержки распространения сигнала

от входа \overline{CS} :

до выхода CO	≤ 30 нс
до выходов $\overline{P}, \overline{G}$	≤ 35 нс
до входов/выходов $\overline{LI}/RO, \overline{LO}/RI$	≤ 55 нс
до входов/выходов $\overline{RI}/LO, \overline{RO}/LI$	≤ 50 нс
до выхода OW	≤ 50 нс
до выхода \overline{F}	≤ 65 нс
до выхода ZR	≤ 85 нс

Время перехода из состояния низкого (высокого)

уровня в состояние «выключено» и из состояния

«выключено» в состояние низкого (высокого) уровня

на входах/выходах $\overline{DA7}...DA0, \overline{DB7}...DB0$:

от входа \overline{CS}	≤ 70 нс
от входа \overline{ED}	≤ 65 нс

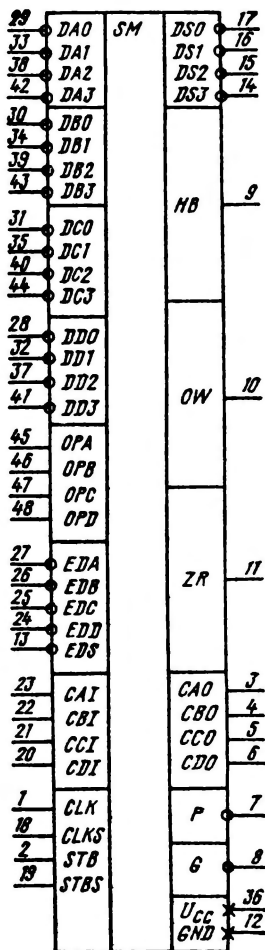
K1802ИМ1, KP1802ИМ1

Микросхемы представляют собой схему четырехвходового 4-разрядного сумматора и предназначены для выполнения арифметического сложения или вычитания до четырёх чисел (A, B, C, D), представленных дополнительным кодом. В результате операции $\pm A, \pm B, \pm C, \pm D$ вырабатывается 4-разрядный результат в дополнительном коде и формируются признаки переполнения,

нуля, результата и знака. Отдельными управляющими входами предусмотрено исключение любого операнда из операции суммирования или вычитания. ИС сумматора могут быть использованы для построения быстродействующих многоходовых систем при решении задач цифровой обработки сигналов (спектральный и корреляционный анализ).

В состав ИС входят управляемый блок инверсии $M2$; 4-разрядные регистры данных (A, B, C, D) RG ; буферные схемы сигналов STB и CLK ; суммирующая матрица SM , 5-разрядный регистр суммы и признака перевыполнения; выходная буферная схема с тремя состояниями; схема выделения признака нуля результата. Содержат 1951 интегральный элемент. Корпус типа 4123.48-1.01, масса не более 4,2 г, 2207.48-4.

Назначение выводов: 1 — вход записи операндов CLK ; 2 — вход управления записью операндов STB ; 3...6 — выходы переносов A, B, C, D (с двумя состояниями) $CA0$, $CB0$, $CC0$, $CD0$; 7 — выход распространения переноса \bar{P} ; 8 — выход генерации переноса \bar{G} ; 9 — выход знака результата HB ; 10 — выход признака переполнения OW ; 11 — выход признака нуля (с открытым коллектором) ZR ; 12 — общий; 13 — вход управления буферной схемой результата \bar{EDS} ; 14...17 — выходы результата, разряды 3...0 (с тремя состояниями) $\bar{DS3}$... $\bar{DS0}$; 18 — вход записи результата $CLKS$; 19 — вход управления записью результата $STBS$; 20...23 — входы переноса D, C, B, A; CDI , CCI , CBI , CAI ; 24...27 — входы разрешения D, C, B, A; EDD , EDC , EDB , EDA ; 28...35 — входы данных D, A, B, C, разряды 0, 1; $DD0$, $DA0$, $DB0$, $DC0$, $DD1$, $DA1$, $DB1$, $DC1$; 36 — напряжение питания; 37...44 — входы данных D, A, B, C, разряды 2, 3; $DD2$, $DA2$, $DB2$, $DC2$, $DD3$, $DA3$, $DB3$, $DC3$; 45...48 — входы операций A, B, C, D; OPA , OPB , OPC , OPD .



Условное графическое обозначение КР1802ИМ1

Электрические параметры

Номинальное напряжение питания	5 В ± 5%
Выходное напряжение низкого уровня	≤ 0,5 В
Выходное напряжение высокого уровня	≥ 2,4 В
Ток потребления при $U_{п} = 5,25$ В	≤ 280 мА
Входной ток низкого уровня:	
по выводам 1, 2, 18...23, 28...35, 37...48	≤ −0,4 мА
по выводам 13, 24...27	≤ −0,8 мА
Входной ток высокого уровня	≤ 40 мкА
Выходной ток низкого уровня в состоянии «выключено»	≤ −100 мкА
Выходной ток высокого уровня в состоянии «выключено»	≤ 100 мкА
Выходной ток высокого уровня	≤ 100 мкА
Время задержки распространения сигнала от входа <i>CBI</i> :	
до выхода <i>HB</i>	≤ 29 нс
до выходов <i>ZR, OW</i>	≤ 38 нс
Время задержки распространения сигнала от входа <i>CCI</i> :	
до выхода <i>CDO</i>	≤ 20 нс
до выходов $\overline{DS}, \overline{P}, \overline{G}$	≤ 24 нс
до выхода <i>HB</i>	≤ 29 нс
до выходов <i>ZR, OW</i>	≤ 38 нс
Время задержки распространения сигнала от входа <i>CDI</i> :	
до выхода <i>CDO, \overline{DS}</i>	≤ 24 нс
до выхода <i>HB</i>	≤ 29 нс
до выходов <i>ZR, OW</i>	≤ 38 нс
Время задержки распространения сигнала:	
от входа <i>CLKS</i> до выходов <i>HB, ZR, OW</i>	≤ 28 нс
от входа <i>CLKS</i> до выхода \overline{DS}	≤ 24 нс
от входа <i>CLK</i> до выхода <i>CA0, CBO</i>	≤ 24 нс
от входа <i>CLK</i> до выхода <i>CC0</i>	≤ 37 нс
от входа <i>CLK</i> до выходов <i>CDO, $\overline{P}, \overline{G}$</i>	≤ 48 нс
от входа <i>CAI</i> до выходов <i>CDO, $\overline{P}, \overline{G}$</i>	≤ 35 нс
от входа <i>CAI</i> до выхода \overline{DS}	≤ 40 нс
от входа <i>CAI</i> до выхода <i>HB</i>	≤ 29 нс
от входа <i>CAI</i> до выходов <i>ZR, OW</i>	≤ 38 нс
от входа <i>CBI</i> до выхода <i>CDO</i>	≤ 20 нс
от входа <i>CBI</i> до выходов $\overline{DS}, \overline{P}, \overline{G}$	≤ 24 нс
от входа <i>DC</i> до выходов \overline{DS}, CDO	≤ 55 нс
от входа <i>DC</i> до выходов <i>CA0, CBO, CC0, $\overline{P}, \overline{G}$</i> ..	≤ 40 нс
Время задержки перехода от входа \overline{EDS} до выходов \overline{DS}	≤ 35 нс

Время установления сигнала:

на входах <i>DA, DB, DC, DD</i> относительно сигнала	
на входе <i>CLK</i>	$\leq -4 $ нс
на входах <i>OPA, OPB, OPC, OPD; EDA, EDB, EDD</i>	
относительно сигнала на входе <i>CLK</i>	$\leq -5 $ нс;
	$\leq -8 $ нс
на входе <i>CAI</i> относительно сигнала	
на входе <i>CLK</i>	$\leq -25 $ нс
на входе <i>CBI</i> относительно сигнала	
на входе <i>CLK</i>	$\leq -22 $ нс
на входе <i>CCI</i> относительно сигнала	
на входе <i>CLK</i>	$\leq -18 $ нс
на входе <i>CDI</i> относительно сигнала	
на входе <i>CLK</i>	$\leq -12 $ нс

Длительность сигнала высокого и низкого уровня

на входах *CLK, CLKS*

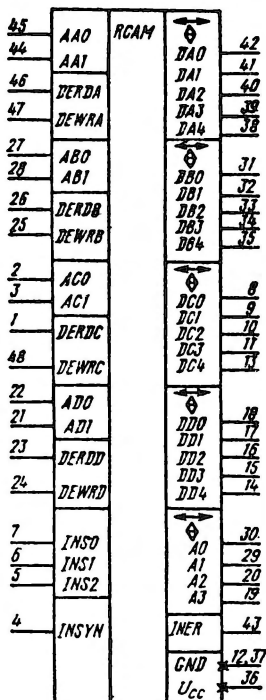
Время сохранения сигнала:

на входе <i>CAI</i> относительно сигнала	
на входе <i>CLKS</i>	≤ 10 нс
на входе <i>CBI</i> относительно сигнала	
на входе <i>CLKS</i>	≤ 8 нс
на входе <i>CCI</i> относительно сигнала	
на входе <i>CLKS</i>	≤ 6 нс
на входе <i>CDI</i> относительно сигнала	
на входе <i>CLKS</i>	≤ 3 нс

КР1802ИП1

Микросхема представляет собой матрицу многофункциональных ассоциативных регистров и предназначена для хранения данных, проведения контроля по четности, формирования признаков ассоциативного сравнения, восстановления исходной информации при сбое в системах. Может быть использована для построения сверхоперативной (адресной) памяти с организацией (4 + 4) регистра по пять разрядов; или с организацией 4 регистра по 10 разрядов; ассоциативной памяти с поиском слова по равенству признаков опроса (дескриптора) и ассоциативного признака, хранящегося в регистре, с возможностью маскирования разрядов сравниваемых чисел; памяти с двухкоординатным поиском слова, т. е. выполнением ассоциативного сравнения в выбранной строке, с возможностью маскирования разрядов сравниваемых чисел; специальных видов памяти типов СТЕК, КЭШ. Устройства памяти могут иметь любое число слов любой разрядности.

При построении ассоциативной памяти ИС может работать как в поле ассоциативных признаков, так и в поле основной информации.



Условное графическое обозначение КР1802ИП1

В состав ИС входят узлы матрицы ассоциативных регистров *RG0-1, RG1-1, RG2-1, RG3-1*, связанных с магистралями *DA* и *DC*, *RG0-2, RG1-2, RG2-2, RG3-2*, связанных с магистралями *DB* и *DD*; устройство управления; схема контроля четности; схема формирования сигналов сравнения; выходные буферные регистры с тремя состояниями. Корпус типа 2207.48-4.

Назначение выводов: 1, 23, 26, 46 — входы запрета чтения на магистралях *C, D, B, A*; *DERDC, DERDD, DERDB, DERDA*; 2, 3, 21, 22, 27, 28, 44, 45 — входы адреса *C, D, B, A*; *AC0, AC1, AD1, AD0, AB0, AB1, AA1, AA0*; 4 — вход синхронизации *INSYN*; 5...7 — входы инструкции *INS2...INS0*; 8...11, 13, 14...18, 31...35, 38...42 — входы/выходы данных магистралей *C, D, B, A*; *DC0...DC4, DD4...DD0, DB0...DB4, DA4...DA0*; 12, 37 — общие; 19, 20, 29, 30 — входы/выходы непосредственной адресации *A3...A0*; 24, 25, 47, 48 — входы запрета записей с магистралей *D, B, A, C*; *DEWRD, DEWRB, DEWRA, DEWRC*; 36 — напряжение питания; 43 — выход отсутствия ошибки, *INER*.

Электрические параметры

Номинальное напряжение питания	5 В ±5%
Выходное напряжение низкого уровня	≤ 0,5 В
Выходное напряжение высокого уровня	≥ 2,4 В
Ток потребления при $U_n = 5,25$ В	≤ 300 мА
Входной ток низкого уровня	≤ -0,4 мА
Входной ток высокого уровня по выводам 1...7, 21...28, 44...48	≤ 40 мкА
Выходной ток высокого уровня	≤ 100 мкА
Выходной ток высокого уровня в состоянии «выключено»	≤ 100 мкА
Время задержки распространения сигнала:	
от входов <i>A</i> до входов/выходов <i>D</i>	≤ 35 нс
от входов <i>INSYN, INS</i> до входов/выходов <i>A2</i>	≤ 55 нс
от входа <i>DEWRC</i> до входов/выходов <i>DA</i> ,	
от входа <i>DEWRD</i> до входов/выходов <i>DB</i>	... ≤ 60 нс

от входов *DEWR*, до выхода *INER* ≤ 75 нс
от входов/выходов *D* до входов/выходов *D* .. ≤ 50 нс
от входов *A* до входа/выхода *A2* ≤ 50 нс
от входа *INSYN* до входов/выходов *D* ≤ 60 нс
от входа *INS2* до выхода *INER* ≤ 70 нс

Время задержки перехода:

от входа *DERD* до входов/выходов *D* ≤ 50 нс
от входа *INS2* до входов/выходов *D* ≤ 70 нс
от входа/выхода *A0* до входов/выходов *D* ... ≤ 70 нс
от входа *AC* до входов/выходов *D* ≤ 70 нс

Время сохранения сигналов на входах *DA, DB, DC, DD, A, INS, AD*, относительно сигнала на входе *INSYN* ≥ 5 нс

Длительность сигнала низкого уровня на входах *DEWRA, DEWRB, DEWRC, DEWRD, INSYN* ≥ 20 нс

Время установления сигнала на входах *DA, DB, DC, DD, AA, AB, AC, AD* относительно сигнала на входах *DEWRA, DEWRB, DEWRC, DEWRD* $\geq |-5|$ нс

Время сохранения сигнала на входах *DA, DB, DC, DD, AA, AB, AC, AD* относительно сигнала на входах *DEWRA, DEWRB, DEWRC, DEWRD* ≥ 5 нс

Время установления сигналов на входах *DA, DB, DC, DD, A, INS, AD*, относительно сигнала на входе *INSYN* $\geq |-5|$ нс

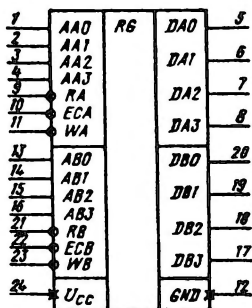
Примечание. Значения динамических параметров приведены при $U_n = 5$ В, $T = -10...+70^\circ$ С.

Режимы работы

Код управления			Режим работы	Доп. управляющие поля	Синхронизация
<i>INS2</i>	<i>INS1</i>	<i>INS0</i>			
0	0	0	Отключение кристалла		
0	0	1	Ассоциативный доступ (чтение/запись)	Чтение: AC Запись AD	AC
0	1	0	Перезапись столбцом влево		
0	1	1	Перезапись столбцом вправо		
1	0	0	Ассоциативный поиск активный	АП: AA ДКП: AA, AB	INSYN
1	0	1	Ассоциативный поиск пассивный	АП: AA ДКП: AA, AB	
1	1	0	Перезапись по входам A0...A3	AD	
1	1	1	Адресный режим	—	

Примечание. АП — простой ассоциативный поиск; ДКП — двухкоординатный поиск.

K1802ИР1, КР1802ИР1

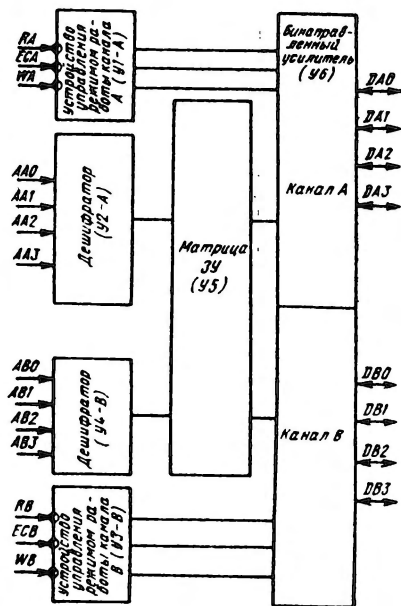


Условное графическое обозначение КР1802ИР1

(Y6), состоящий из 8 усилителей считывания с тремя устойчивыми состояниями на выходе и 8 усилителей записи. Усилитель считывания и записи каждого разряда матрицы работает на один разряд соответствующего канала. ИС имеют два 4-разрядных канала для приема и выдачи информации.

Содержат 1662 интегральных элемента. Корпус типа 4118.24-1, 239.24-2, масса не более 4 г.

Назначение выводов: 1...4 — входы адреса канала А AA0...AA3; 5...8 — входы/выходы информации канала А (бинаправленные с тремя состояниями) DA0...DA3; 9 — вход считывания информации канала А, $\bar{R}A$; 10 — вход разрешения канала А, $\bar{E}CA$; 11 — вход записи канала А, $\bar{W}A$; 12 — общий; 13...16 — входы адреса канала В, AB0...AB3; 17...20 — входы/выходы информации канала В (бинаправленные, с тремя состояниями) DB3...DB0; 21 — вход



Структурная схема КР1802ИР1

считывания информации канала В, \overline{RB} ; 22 — вход разрешения канала В, \overline{ECB} ; 23 — вход записи канала В, \overline{WB} ; 24 — напряжение питания.

Режим работы РОН

Режим работы	Состояние входов							
	Канал А				Канал В			
	\overline{RA}	\overline{ECA}	\overline{WA}	$AA_0...AA_3$	\overline{RB}	\overline{ECB}	\overline{WB}	$AB_0...AB_3$
Состояние «выключено»	X	1	X	X	X	1	X	X
	1	X	1	X	1	X	1	
Запись по каналу А	1	0	0	x	X	1	X	X
					1	X	1	
Запись по каналу В	X	1	X	X	1	0	0	x
	1	X	1					
Одновременная запись по каналам А и В	1	0	0	x	1	0	0	x
Считывание по каналу А	0	0	1	x	X	1	X	X
					1	X	1	
Считывание по каналу В	X	1	X	X	0	0	1	x
	1	X	1					
Одновременное считывание по каналам А и В	0	0	1	x	0	0	1	x
Запись по каналу А и считывание по каналу В	1	0	0	x	0	0	1	x
Запись по каналу В и считывание по каналу А	0	0	1	x	1	0	0	x

Примечание. X — состояние входа безразлично; x — одно из значений адреса от 0 до 15.

Электрические параметры

Номинальное напряжение питания 5 В ±5%
 Выходное напряжение низкого уровня ≤ 0,5 В
 Выходное напряжение высокого уровня ≥ 2,4 В
 Ток потребления при $U_H = 5,25$ В ≤ 170 мА

Входной ток низкого уровня	
по выводам 1...8, 13...20	$\leq -0,25 \text{ мА}$
по выводам 9, 11, 21, 23	$\leq -0,4 \text{ мА}$
по выводам 10, 22	$\leq -0,8 \text{ мА}$
Входной ток высокого уровня по выводам 1...4, 9...11, 13...16, 21...23	$\leq 40 \text{ мкА}$
Выходной ток высокого уровня в состоянии «выключено» для входов/выходов 5...8, 17...20	$\leq 40 \text{ мкА}$
Потребляемая мощность	$\leq 892 \text{ мВт}$
Время задержки распространения сигнала:	
от входов адреса AA, AB до выходов данных DA, DB	$\leq 58 \text{ нс}$
от входов/выходов данных DA (DB) до входов/выходов данных DB (DA)	$\leq 48 \text{ нс}$
от входов \overline{WA} (\overline{WB}) до выходов данных DA (DB)	$\leq 73 \text{ нс}$
Время перехода входов/выходов информации из состояния:	
низкого (высокого) уровня в состоянии «выключено» от входов считывания, от входов разрешения	$\leq 30 \text{ нс}$
«выключено» в состояние низкого (высокого) уровня от входов считывания, от входов разрешения	$\leq 27 \text{ нс}$

КР1802КП1

Микросхема представляет собой многофункциональный коммутатор магистралей («активный» коммутатор четырех 5-разрядных магистралей — одна информационная тетрада и контрольный разряд дополнения до четности) и предназначена для коммутации магистралей с предварительной обработкой данных: проверкой на четность и хранением принимаемой информации; маскированием с одновременным использованием до трех масок. Возможно использование ИС в качестве элемента систем дублирования и мажорирования. Вся выдаваемая информация сопровождается контрольным разрядом дополнения до четности. В состав ИС входят регистры хранения данных RGA, RGB, RGG, RGD; схемы разрешения выдачи данных на магистрали; схема выработки признаков дублирования и мажорирования особых режимов; схемы управления коммутацией данных на магистрали C и D; мультиплексоры-селекторы коммутации данных; схема сравнения и проверки на четность содержимого регистров. Все операции выполняются

только при подаче на вход *DECS* напряжения низкого уровня. Корпус типа 2207.48-4.

Назначение выводов: 1 — вход отсутствия ошибки *INER*; 2...4 — входы/выходы выбора данных на магистраль В, *SEDB1*, *SEDB2*, *SEDB0*; 5 — вход выбора данных на магистраль В, *SEDB3*; 6 — вход запрета записи на магистраль В, *DEWRB*; 7 — вход запрета считывания на магистраль В, *DERDB*; 8...11, 13 — входы/выходы данных магистрали В, *DB4...DB0*; 12, 37 — общие; 14...18 — входы/выходы магистрали А, *DA0...DA4*; 19 — вход запрета считывания на магистраль А, *DERDA*; 20 — вход запрета записи с магистрали А, *DEWRA*; 21 — вход запрета выбора микросхемы *DECS*; 22 — вход выбора данных на магистраль, *SEDA3*; 23...25 — входы/выходы выбора данных на магистраль А, *SEDA1*, *SEDA0*, *SEDA2*; 26...28 — входы выбора данных на магистраль С, *SEDC2...SEDC0*; 29 — вход запрета записи с магистрали С, *DEWRC*; 30 — вход запрета считывания на магистраль С, *DERDC*; 31...35 — входы/выходы данных магистрали С, *DC4...DC0*; 36 — напряжение питания; 38...42 — входы/выходы данных магистрали D, *DD0...DD4*; 43 — вход запрета считывания на магистраль D, *DERDD*; 44 — вход запрета записи с магистрали D, *DEWRD*; 45...48 — входы/выходы выбора данных на магистраль D, *SEDD3...SEDD0*.

20	DEWRA	RGMS	↕	
19	DERDA		↔	
22	SEDA3		↔	14
	↕			
24	SEDA0		↔	15
23	SEDA1		↔	16
25	SEDA2		↔	17
			↔	18
6	DEWRB		↕	
7	DERDB		↔	
5	SEDB3		↔	13
	↕			
4	SEDB0		↔	11
2	SEDB1		↔	10
3	SEDB2		↔	9
			↔	8
29	DEWRC		↕	35
30	DERDC		↔	34
28	SEDC0		↔	33
27	SEDC1		↔	32
26	SEDC2		↔	31
44	DEWRD		↕	
43	DERDD		↔	38
48	SEDD0		↔	39
47	SEDD1		↔	40
46	SEDD2		↔	41
45	SEDD3		↔	42
21	DECS		↔	1
			↕	
			↔	12, 37
			↔	36

Условное графическое обозначение KP1802КП1

Примечания. 1. В режиме «дублирование» выходы *SEDA0* — выход признака ошибки в *RGА*, *SEDA1* — выход признака ошибки в *RGB*, *SEDA2* — выход признака ошибки в *RGС*, *SEDA3* — выход разрешения выдачи признаков.

2. В режиме «мажорирование» *SEDB0* — выход признака совпадения *RGА* с *RGB*, *SEDB1* — выход признака совпадения *RGА* с *RGС*, *SEDB2* — выход признака совпадения *RGB* с *RGС*.

Электрические параметры

Номинальное напряжение питания	5 В ±5%
Выходное напряжение низкого уровня	≤0,5 В
Выходное напряжение высокого уровня	≥2,4 В

Входной ток низкого уровня:	
по входам <i>DECS</i>	$\leq 0,8$ мА
по остальным входам	$\leq 0,4$ мА
Входной ток высокого уровня:	
по входам <i>DECS</i>	≤ 80 мкА
по остальным входам	≤ 40 мкА
Ток в состоянии «выключено»	$\leq -100 $ мкА
Ток потребления	≤ 300 мА
Время установления сигналов:	
на входах <i>DA, DB, DC</i> относительно сигналов на входах <i>DEWRA, DEWRB, DEWRC, DEWRD</i>	$\leq -5 $ нс
на входе запрета выбора микросхемы относительно сигналов на входах <i>DEWRA, DEWRB, DEWRC, DEWRD</i>	$\leq -5 $ нс
на входе <i>DECS</i> относительно сигналов на входах <i>DERDA, DERDB, DERDC, DERDD</i> ...	$\leq -15 $ нс
Время сохранения сигналов на входе <i>DECS</i> :	
относительно сигналов на входах <i>DEWRA, DEWRB, DEWRC, DEWRD</i>	≥ 5 нс
относительно сигналов на входах <i>DERDA, DERDB, DERDC, DERDD</i>	≥ 0 нс
Время сохранения сигналов на входах <i>DA, DB, DC, DD</i> относительно сигналов на входах <i>DEWRA, DEWRB, DEWRC, DEWRD</i>	
Длительность сигналов на входах <i>DEWRA, DEWRB, DEWRC, DEWRD</i>	≥ 10 нс
Длительность сигналов на входах <i>DEWRA, DEWRB, DEWRC, DEWRD</i>	≥ 35 нс
Время задержки распространения сигнала:	
от входа <i>DECS</i> до выхода <i>INER</i>	≤ 20 нс
от входов <i>DA, DB, DC, DEWRA, DEWRB, DEWRC, DEWRD</i> до выхода <i>INER</i>	≤ 50 нс
от входов <i>DA, DB, DC, DD</i> до выходов <i>DA, DB, DC, DD</i>	≤ 35 нс
от входов <i>SEDA, SEDB, SEDC, SEDD</i> до выходов <i>DA, DB, DC, DD</i>	≤ 50 нс
от входов <i>DA, DB, DC, DEWRA, DEWRB, DEWRC, DEWRD</i> до выхода <i>DD</i>	≤ 45 нс
от входов <i>DA, DB, DC, DEWRA, DEWRB, DEWRC, DEWRD</i> до выходов <i>SEDA0, SEDA1, SEDA2, SEDB0, SEDB1, SEDB2</i> в особых режимах	≤ 45 нс
от входа <i>INER</i> до выхода <i>DD</i>	≤ 45 нс
Время перехода выходов <i>SEDA0, SEDA1, SEDA2, SEDB0, SEDB1, SEDB2</i> из высокоомного состояния в состояние низкого (высокого) уровня и наоборот:	
от входа <i>DECS</i>	≤ 30 нс

от входов <i>SEDD3, SEDA3</i>	≤ 40 нс
от входа <i>SEDD</i>	≤ 55 нс
Время перехода выходов <i>DA, DB, DC, DD</i> из высокоомного состояния в состояние низкого (высокого) уровня и наоборот:	
от входов <i>DECS</i>	≤ 35 нс
от входов <i>DERDA, DERDB, DERDC, DERDD</i> ...	≤ 30 нс
от входов <i>SEDA, SEDB, SEDC, SEDD</i>	≤ 40 нс
Время перехода выхода <i>DD</i> из высокоомного состояния в состояние низкого (высокого) уровня и наоборот от входа <i>INER</i>	
	≤ 40 нс

Предельно допустимые режимы эксплуатации KM1802, KP1802

Напряжение питания	≤ 5,25 В
Напряжение на выходе открытой схемы	0...5,25 В
Входное напряжение низкого уровня (кроме KM1802BP4, KM1802BP5) с учетом помехи 0,8 В ...	0...0,5 В
Входное напряжение высокого уровня (кроме KM1802BP4, KM1802BP5) с учетом помехи 0,8 В ...	2,4...5,25 В
Входное напряжение KM1802BP4, KM1802BP5	≤ 5,25 В
Входной ток KM1802BP4, KM1802BP5	≤ −5 мА
Температура окружающей среды	−10...+70 °С